

描述

MP20075是一款精密的DDR2/3/3L/4终端低压差（LDO）调节器，可为终端提供精确的VREF/2跟踪电压。VTT-LDO输出可提供高达3A的灌/拉电流。

MP20075只需20μF (2x10μF)的陶瓷输出电容即可维持快速瞬态响应。MP20075支持开尔文（Kelvin）采样功能。

MP20075采用带散热焊盘的8引脚MSOP封装，工作温度为40°C至85°C。

特性

- VDDQ电压范围：1.05V至3.6V
- 高达3A的内置灌/拉电流线性调节器，可为DDR2/3/3L/4终端提供精确的VREF/2分压参考电压。
- 仅需20μF陶瓷输出电容
- 驱动电压：3.3V
- 1.05V的输入（VDDQ）有助于减少总耗散功率
- 内置分压器跟踪VREF，实现精确的VTT和VTTREF输出电压
- Kelvin采样（VTTSEN）功能
- ±30mV VTT输出精度
- ±18mV VTTREF输出精度
- 内置软启动功能、欠压锁定保护（UVLO）和过流限制功能（OCL）
- 过温关断保护

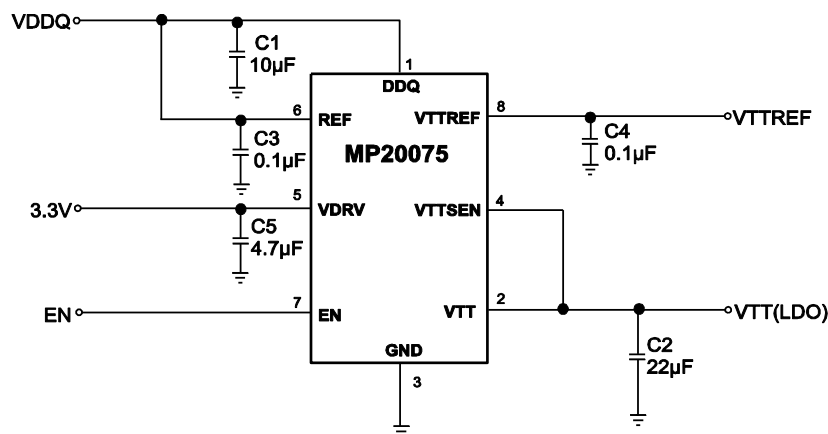
应用

- ACPI合规系统的笔记本电脑DDR2/3/3L/4存储器电源和终端电压
- 有源终端总线

所有MPS产品都保证无铅，并且遵守RoHS规范。如需查询具体芯片环保等级，请访问MPS官网之质量保证。

“MPS”和“The Future of Analog IC Technology”均为MPS注册商标。

典型应用

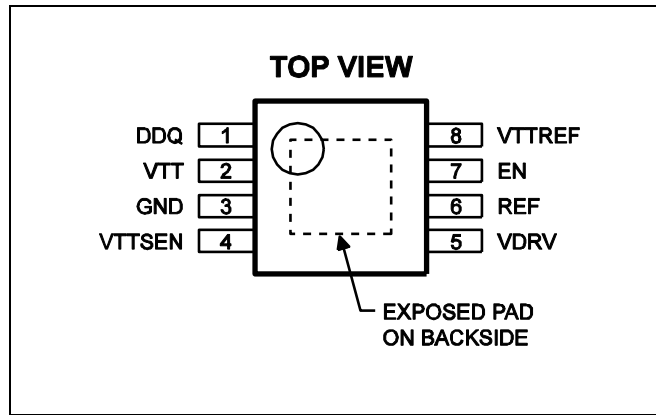


订购信息

产品型号*	封装	顶标	流动空气温度 (T _A)
MP20075DH	MSOP8E	20075	-40°C 至 +85°C

* 对于编带和卷盘包装, 请添加后缀-Z (例如 MP20075DH-Z);
符合 RoHS 的封装, 请添加后缀 -LF (例如 MP20075DH-LF-Z)

参考封装



最大绝对额定值 (1)

供电电压 V _{DDQ}	-0.3V 至 3.6V
驱动电压 V _{DRV}	-0.3V 至 6.0V
所有其他引脚	-0.3V 至 6.0V
连续耗散功率 (T _A = +25°C) (2) 1.56W
结温	150°C
焊接温度	260°C
存储温度	-50°C 至 +150°C

推荐工作条件 (3)

驱动电压 V _{DRV}	3.0V 至 3.5V
工作结温(T _J)	-40°C 至 +125°C

热阻 (4)

	θ_{JA}	θ_{JC}
MSOP8E	50.....	12... °C/W

注:

- 1) 超过这些限定值可能会损坏模块。
- 2) 最大可允许耗散功率是最大结温 T_J(MAX)、结温-环境热阻 θ_{JA} 和环境温度 T_A 的函数。任何环境温度下允许的最大连续耗散功率由 P_D(MAX) = (T_J(MAX)-T_A)/ θ_{JA} 计算得出。超过最大允许耗散功率会使芯片温度过高, 导致稳压器进入热保护状态。内部热保护电路使模块免受永久性损坏。
- 3) 模块不能保证在其工作条件之外运行。
- 4) 上述数据是在 JESD51-7 (4 层板) 上测量所得。

电气特性

测试条件为 $V_{DRV} = 3.3V$, $T_A = +25^{\circ}C$, 另有注明除外。

参数	符号	测试条件	最小值	典型值	最大值	单位
VDRV 工作电压	VDRV	ITT=3A	3.0	3.3	3.5	V
VDRV 关断电流	IDRV_SD	VDRV =3.3 V, VDDQ=0V		0.2	1.0	μA
VDRV 工作电流	IDRV	VEN_H, VTT=0.75V		1.3	3	mA
过温关断触发点	TSD			150		$^{\circ}C$
过温迟滞	TSDHYS			25		$^{\circ}C$
VDDQ 欠压锁定保护上限阈值	VDDQUV+	上升沿; 迟滞= 55mV		0.9	1.0	V
VTT 相对于 1/2VREF	dVTT0	1/2VREF - VTT, VREF = 1.8V, IVTT = 0 至 3A (灌电流) IVTT = 0 至 3A (拉电流)	-30 -30		30 30	mV
		1/2VREF - VTT, VREF = 1.5V, IVTT = 0 至 3A (灌电流) IVTT = 0 至 3A (拉电流)	-30 -30		30 30	mV
		1/2VREF -VTT, VREF=1.35V IVTT = 0 至 3A (灌电流) IVTT = 0 至 3A (拉电流)	-30 -30		30 30	mV
拉电流限值	ILIMVTSrc			4.0		A
灌电流限值	ILIMVTSnk			4.0		A
软启动拉电流限值	ILIMVTSS			1.0		A
最大软启动时间	tssvttmax	VREF=1.8, VDRV=3.3V		9		μs
		VREF=1.5V, VDRV=3.3V		7		
VTTREF 拉电流	IVTTR	VREF = 1.8 V 或 1.5 V	10			mA
VTTREF 相对于 1/2 REF 精度	dVTTR	1/2VREF - VTTR, VREF = 1.8 V, IVTTR = 0mA 至 10mA	-18		18	mV
		1/2VREF - VTTR, VREF = 1.5 V, IVTTR = 0mA 至 10mA	-15		15	mV
EN 引脚阈值高电平	EN_H		1.4			V
EN 引脚阈值低电平	EN_L				0.5	V
EN 引脚输入电流	IIN_EN	EN = 3.3 V			1.0	μA

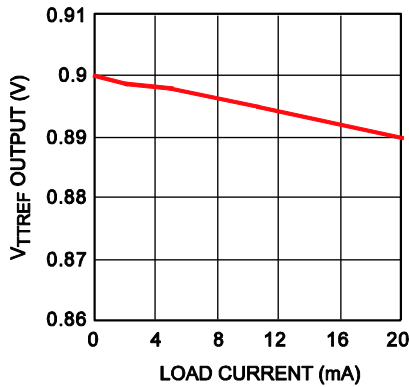
引脚功能

引脚 #	名称	描述
1	DDQ	VTT 调节器电源输入。采用 10 μ F 旁路陶瓷电容器。通常连接到 DDR2/3/3L/4 存储器的 VDDQ。
2	VTT	VTT LDO 的电源输出。该输出为跟踪 VREF 的精确 VREF/2 电压。推荐采用 2x10 μ F 旁路陶瓷电容器。
3	GND, 散热焊盘	散热焊盘和 GND 引脚必须连接到同一接地平面。
4	VTTSEN	Kelvin 采样反馈信号。
5	VDRV	芯片偏置电压。连接到 3.3V 电源, 并采用 4.7 μ F 旁路电容器。
6	REF	LDO 信号输入, 用于生成 VDDQ/2 参考电压。采用 0.1 μ F 旁路电容器。
7	EN	VTT 调节器使能输入。EN 高电平将使能 MP20075, 需要 100k 上拉电阻。
8	VTTREF	系统高精度缓冲器输出, 其驱动能力达 10mA。DDR2/3/3L/4 存储单元的接收端需要此信号用于输入比较器。采用 0.1 μ F 旁路电容器。

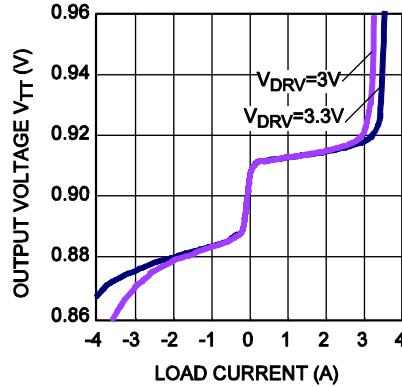
典型性能特性

测试条件为 $C_1 = C_2 = C_3 = 10\mu\text{F}$, $C_4 = C_6 = 0.1\mu\text{F}$, $C_7 = 4.7\mu\text{F}$, $V_{\text{DRV}} = 3.3\text{V}$, $T_A = 25^\circ\text{C}$, 除非另有说明。

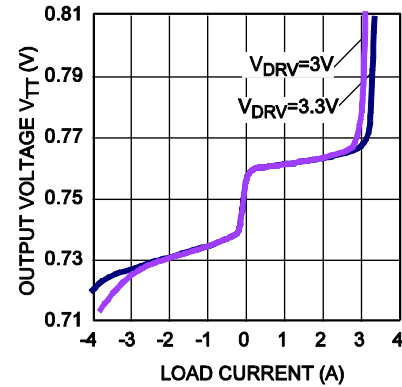
V_{TTREF} Regulation



DDR2 Regulation

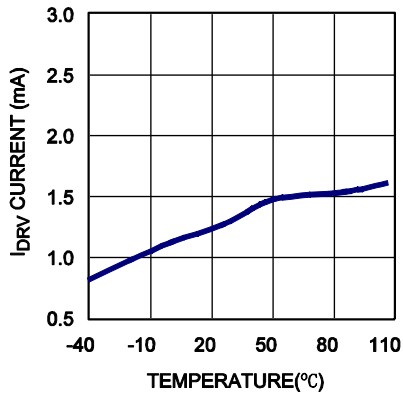


DDR3 Regulation



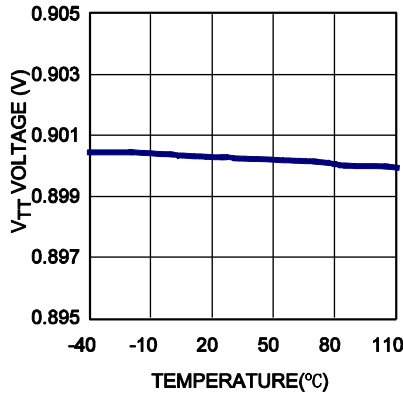
I_{DRV} Supply Current vs. Temp

$V_{\text{DDQ}} = V_{\text{REF}} = 1.5\text{V}$, $V_{\text{TT}} = 0.75\text{V}$



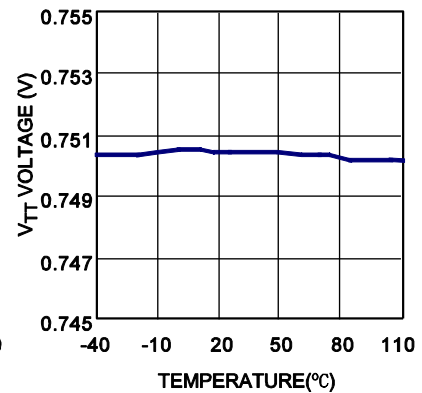
V_{TT} Voltage vs. Temp

$V_{\text{DDQ}} = V_{\text{REF}} = 1.8\text{V}$, $V_{\text{TT}} = 0.9\text{V}$



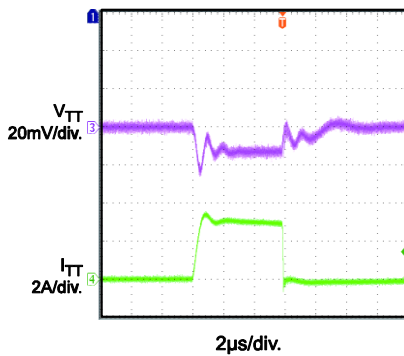
V_{TT} Voltage vs. Temp

$V_{\text{DDQ}} = V_{\text{REF}} = 1.5\text{V}$, $V_{\text{TT}} = 0.75\text{V}$



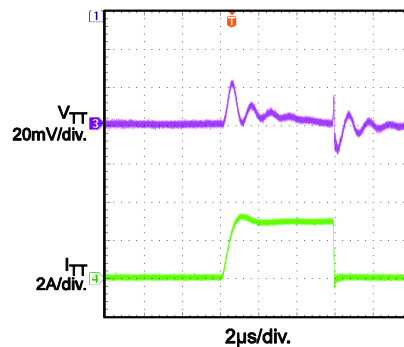
Source Load Transient

$V_{\text{DDQ}} = V_{\text{REF}} = 1.8\text{V}$, $V_{\text{TT}} = 0.9\text{V}$



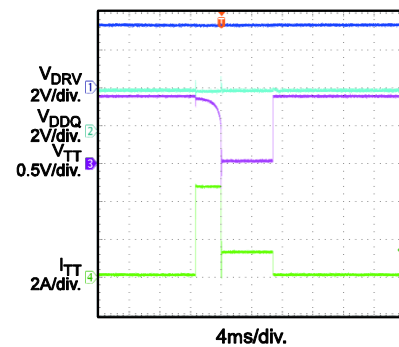
Sink Load Transient

$V_{\text{DDQ}} = V_{\text{REF}} = 1.8\text{V}$, $V_{\text{TT}} = 0.9\text{V}$



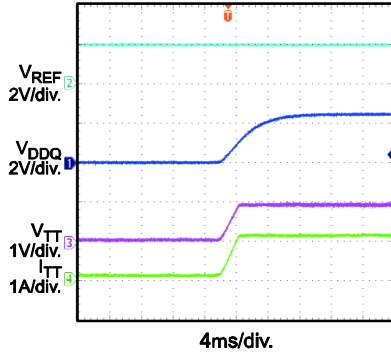
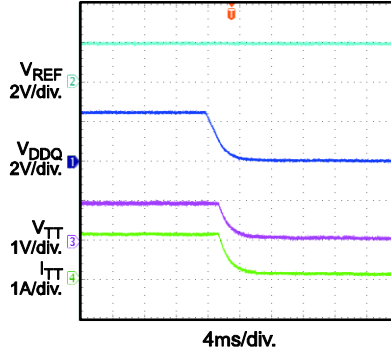
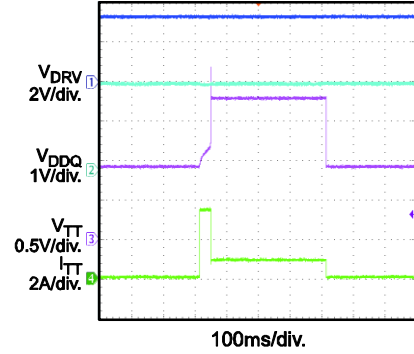
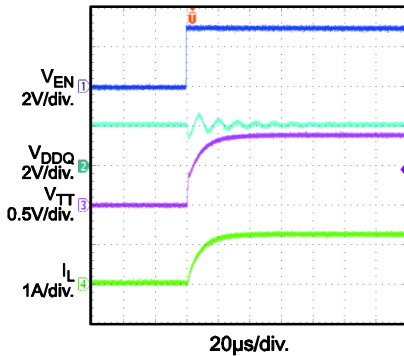
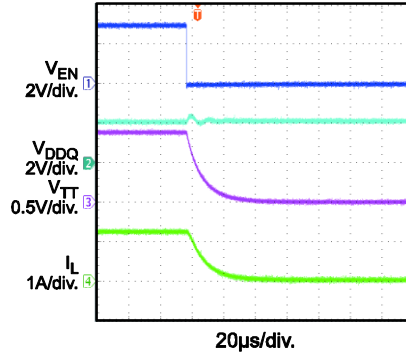
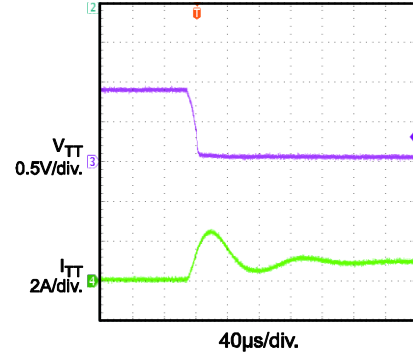
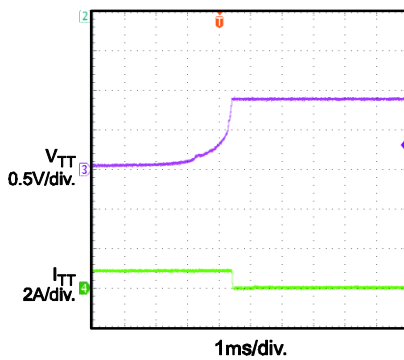
Source Over Current Protection

$V_{\text{DDQ}} = V_{\text{REF}} = 1.8\text{V}$, $V_{\text{TT}} = 0.9\text{V}$



典型性能特性 (续表)

 测试条件为 $C_1 = C_2 = C_3 = 10\mu\text{F}$, $C_4 = C_6 = 0.1\mu\text{F}$, $C_7 = 4.7\mu\text{F}$, $V_{\text{DRV}} = 3.3\text{V}$, $T_A = 25^\circ\text{C}$, 除非另有说明。

Power Ramp Up
 $V_{\text{DDQ}} = V_{\text{REF}} = 1.8\text{V}$, $V_{\text{TT}} = 0.9\text{V}$

Power Ramp Down
 $V_{\text{DDQ}} = V_{\text{REF}} = 1.8\text{V}$, $V_{\text{TT}} = 0.9\text{V}$

Sink Over Current Protection
 $V_{\text{DDQ}} = V_{\text{REF}} = 1.8\text{V}$, $V_{\text{TT}} = 0.9\text{V}$

Enable On
 $V_{\text{DDQ}} = V_{\text{REF}} = 1.8\text{V}$, $V_{\text{TT}} = 0.9\text{V}$

Enable Off
 $V_{\text{DDQ}} = V_{\text{REF}} = 1.8\text{V}$, $V_{\text{TT}} = 0.9\text{V}$

Short Circuit
 $V_{\text{DDQ}} = V_{\text{REF}} = 1.8\text{V}$, $V_{\text{TT}} = 0.9\text{V}$

Short Circuit Recovery
 $V_{\text{DDQ}} = V_{\text{REF}} = 1.8\text{V}$, $V_{\text{TT}} = 0.9\text{V}$


详细操作说明

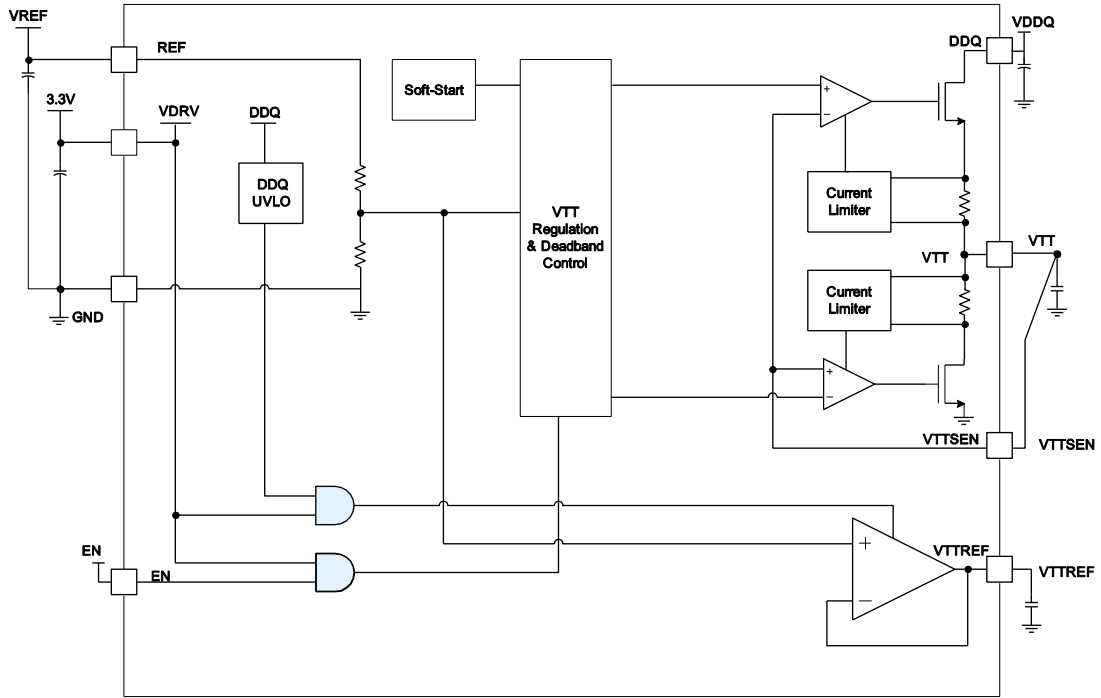


图1—功能框图

控制逻辑

内部控制逻辑由VDRV供电。当VDDQ UVLO拉低时，IC使能。VTTREF 输出开始跟踪 VREF/2。当VTTEN 引脚为高电平时，VTT 调节器被激活。

VTTREF 输出

VTTREF 输出跟踪VREF/2，±精度为2%。其拉电流高达 10mA。VTTREF 应通过1.0μF陶瓷电容器旁路到模拟地，以实现稳定的工作。

只要 VDDQ 高于 UVLO 阈值，VTTREF 就会开启。VTTREF 具有软启动功能，并可跟踪 VREF/2。

输出电压采样功能

通过 VTTSEN 和 GND 引脚采样 VTT 输出电压。VTTSEN 应通过直接采样走线连接到 VTT 调节点，该调节点通常为VTT本地旁路电容器。GND 应通过直接采样走线连接到用于负载的VTT旁路电容器的接地。

VDDQ 欠压锁定保护

MP20075 监测 VDDQ 电压，以实现 VDDQ 欠压锁定（UVLO）保护。当 VDDQ 电压低于UVLO 阈值时，VTT 调节器关断。

VTT 有源终端的电流保护

为保护内部FETs，采用4A 的过流限值 (OCL)。

LDO在4A时提供恒定的过流限制（OCL）。如果输出电压下降至低于目标电压的三分之一，触发点也下降至1.0A。

VTT 有源终端的热保护

VTT 终端具备处理大瞬态输出电流的能力。如果需要很长时间的大电流，则应注意确保不超过最高结温。8引脚裸焊盘MSOP具有50°C/W 的热阻（取决于气流和PCB设计）。

为充分利用这种封装的散热能力，裸焊盘应直接焊接到PCB接地层，以实现良好的热传导。建议PCB在裸焊盘下方有10到15个钻孔尺寸为0.3mm 的通孔，连接所有接地层。

电源电压欠压监测器

IC 持续监测 VDDQ。如果VDDQ设置为高于其预设阈值，且VTTEN为高电平，则IC将启动。

过温关断保护

当芯片结温超过150°C时，整个IC将关断。只有当结温下降至低于 125°C时，IC才恢复正常运行。

应用信息

输入电容

由于电源到器件的走线阻抗，拉电流的瞬态增加主要来自于 VDDQ 输入电容器的电荷。

采用 10 μ F (或更高) 陶瓷电容器来提供这个瞬态电荷。VTT 使用更多输出电容时，提供更多的输入电容。一般情况下，使用 1/2 COUT 作为输入。

输出电容

为实现稳定运行，VTT 输出端子的总电容可以等于或大于 20 μ F。并联两个 10 μ F 陶瓷电容器，以最大程度地减小 ESR 和 ESL 的影响。如果 ESR 大于 10m Ω ，则在输出和 VTTSEN 输入之间插入一个 R-C 滤波器，以实现环路稳定性。R-C 滤波器的时间常数应几乎等于或略低于输出电容器的时间常数及其 ESR。

VDRV 电容器

在靠近 VDRV 引脚的位置添加一个电容值在 1.0 μ F 至 4.7 μ F 之间的陶瓷电容器，以稳定 3.3V 电压，使其不受电源寄生阻抗的影响。

热保护设计

由于 MP20075 是线性调节器，在拉电流和灌电流方向上均有 VTT 电流流动，从而产生器件功耗。

在拉电流阶段，VDDQ 和 VTT 之间的电势差乘以 VTT 电流即为功耗， $P_{source} = (VDDQ - VTT) \times I_{source}$

在这种情况下，如果将 VDDQ 连接到低于 VDDQ 电压的备用电源上，则可以减少功耗。

在灌电流阶段，在内部 LDO 调节器上施加 VTT 电压，功耗 P_{sink} 为：

$$P_{sink} = VTT \times I_{sink}$$

器件不会同时拉和灌电流，且拉电流/灌电流会随时间快速变化。热保护设计要考虑的实际功耗是上述值随时间变化的平均值。

VDDQ 电源用于内部控制电路的电流也会产生功耗。该功率需要通过封装得到有效耗散。

PCB 布局指南

良好的 PCB 布局设计对于确保 DDR2/3/3L/4 电源控制器的高性能和稳定运行至关重要。进行 PCB 布局设计时必须注意以下事项：

1. 所有大电流走线必须保持尽可能短和宽，以减小功耗。

大电流走线包括：从输入电压端子到 VDDQ 引脚的走线、从 VTT 输出端子到负载的走线、从输入接地端子到 VTT 输出接地端子的走线、以及从 VTT 输出接地端子到 GND 引脚的走线。

通过在其他层中采用相同路径、规划相同的大电流走线，并将它们通过多个通孔连接在一起，也可以改善大电流走线的功耗和散热。

2. 为确保设备正常工作，应根据应用电路的不同功能采用分开的接地连接。

VTT 输出电容器的接地应先通过短线连接到 GND 引脚，然后再连接到 GND 的接地层。输入电容接地、VTT 输出电容接地、VDDQ 去耦电容接地应连接到 GND 平面。

3.8 引脚 MSOP 封装的裸焊盘应连接到 GND，以获得更好的散热性能。建议采用 1oz 或 2oz 铜箔厚度的 PCB。

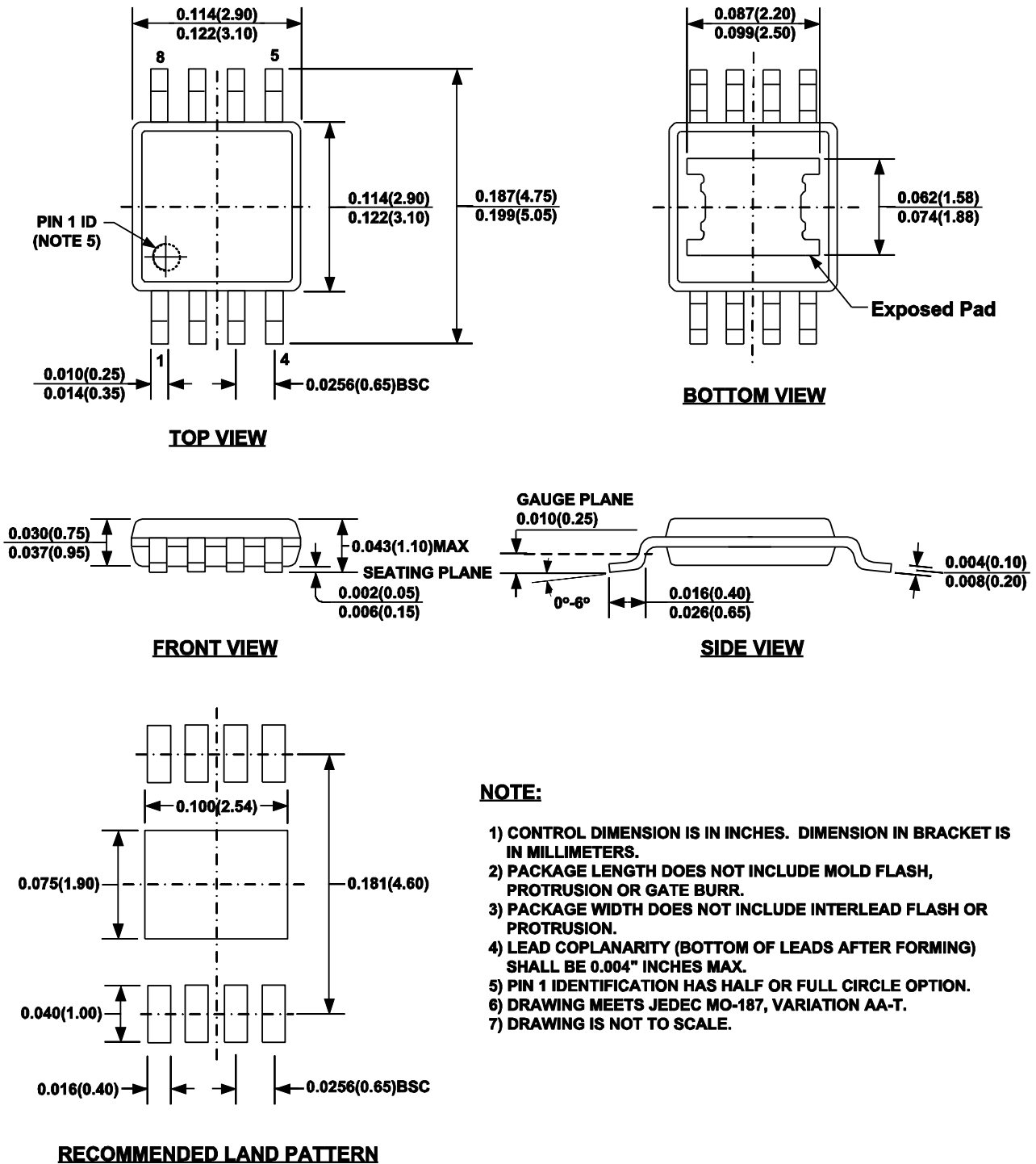
4. 采用单独的采样走线，将VTT调节点（通常为用于负载的本地旁路电容器）连接到VTTSEN引脚。

5. 采用单独的采样走线，将VREF调节点连接到VTTREF引脚，以确保VTT参考电压的精度。

6. 如果将VDDQ用作VTT的源极电源，则VDDQ应该通过宽且短的走线连接到VREF输入。如果使用外部电源作为VTT的源极电源，则应在VDDQ引脚附近添加一个至少10 μ F的输入电容器，并旁路至GND。

封装信息

MSOP8E (带散热焊盘)



注：本文中信息如有变更，不再另行通知。用户应确保其对 MPS 产品的具体应用不侵犯他人知识产权。MPS 不对此类应用承担任何法律责任。