

### 描述

NB685 可为 DDR3、DDR3L、LPDDR3 和 DDR4 存储器应用提供整套高密度电源解决方案。它集成了一个高频同步整流降压开关变换器 (VDDQ)，具有 1A 的灌/拉电流 LDO (VTT) 以及缓冲低噪声参考输出 (VTTREF)。

NB685 基于 MPS 独有的开关损耗降低技术和低导通阻抗功率 MOSFET，能在宽输出电流负载范围内高效工作。

自适应恒定导通时间控制模式 (COT) 提供了快速瞬态响应，并使环路更易稳定。DC 自动调节环路提供了较好的负载和线性调整率。

VTT LDO 提供了 1A 的灌/拉电流能力，输出电容仅需 22μF 的陶瓷电容即可。VTTREF 追踪 VDDQ/2 的值，精度为 1%。

全方位的保护功能包括过流限保护、过压保护、欠压保护、过温关断保护和过温警报功能 (OTW)。

该变换器采用 QFN 3mm x 3mm 封装，最大限度地减少了外部元器件的使用数量。

### 特性

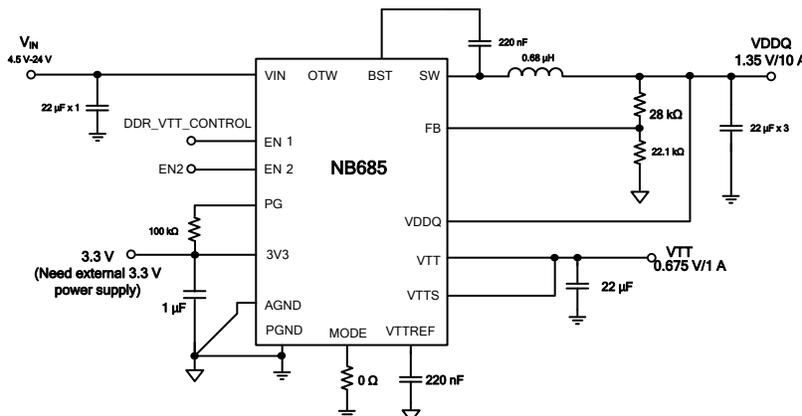
- 4.5V 至 26V 宽输入工作电压范围
- 兼容 IMVP8
- 135μA 低静态电流
- 12 A 连续输出电流
- 13 A 峰值输出电流
- 可选的超音频模式
- 500K/750k 可选开关频率
- 内置 +/- 1A VTT LDO
- 1% 的低噪声 VTTREF 输出
- 用于快速瞬态响应的自适应 COT
- DC 自动调节环路
- 采用 POSCAP 和陶瓷输出电容器可稳定工作
- 过温警报功能 (OTW)
- 内部软启动
- 输出放电功能
- OCL, OVP, UVP 和过温关断保护
- 通过 EN 或电源重启锁定复位
- 采用 QFN 3mm x 3mm 封装。

### 应用

- 笔记本电脑
- 网络系统
- 服务器
- 配电系统

所有 MPS 产品都保证无铅，无卤素，并且遵守 RoHS 规范。如需查询具体芯片环保等级，请访问 MPS 官网之质量保证。“MPS”和“The Future of Analog IC Technology”均为 MPS 注册商标。

### 典型应用



### 订购信息

| 产品型号*   | 封装                 | 顶标  |
|---------|--------------------|-----|
| NB685GQ | QFN-16 (3mm x 3mm) | 见下文 |

\*对于编带和卷盘包装，请添加后缀-Z（例如 NB685GQ - Z）

### 顶标

AKUY

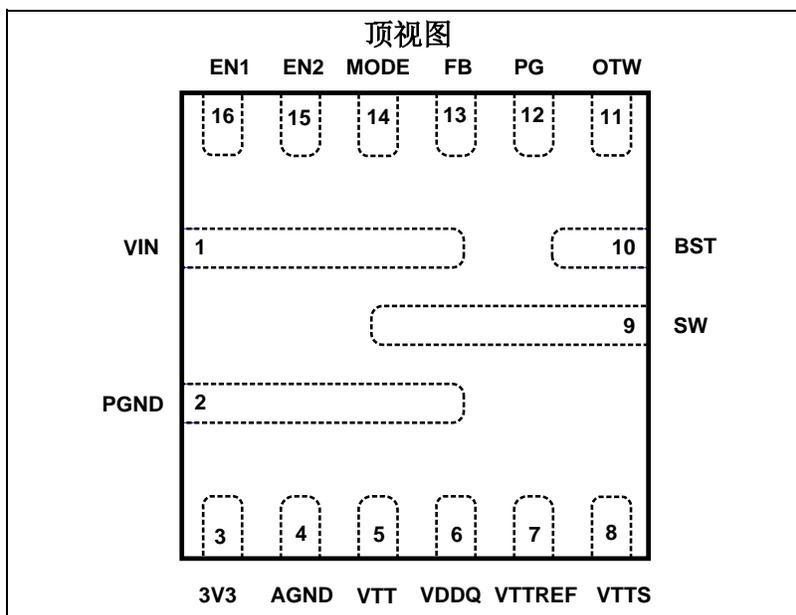
LLL

AKU: NB685GQ 产品代码

Y: 年份代码

LLL: 批次号

### 参考封装



**最大绝对额定值 (1)**

|   |                           |
|---|---------------------------|
| 供电电压 ( $V_{IN}$ )                                   | 26 V                      |
| $V_{SW}$  | -0.3 V 至 $V_{IN} + 0.3$ V |
| $V_{SW}$ (25 ns)                                    | -3.6 V 至 $V_{IN} + 4$ V   |
| $V_{BST}$   | $V_{SW} + 4.5$ V          |
| $I_{EN1}, I_{EN2}$                                  | 100 $\mu$ A               |
| 所有其他引脚  | -0.3 V 至 +4.5 V           |
| 连续耗散功率 ( $T_A = +25^\circ\text{C}$ ) <sup>(2)</sup> |                           |
| QFN-16 (3mm x 3mm)                                  | 2.3 W                     |
| 结温  | 150°C                     |
| 焊接温度  | 260°C                     |
| 存储温度  | -65°C 至 +150°C            |

**推荐工作条件 (3)**

|                    |                              |
|--------------------|------------------------------|
| 供电电压 ( $V_{IN}$ )  | 4.5 V 至 24 V                 |
| 供电电压 ( $V_{CC}$ )  | 3.15 V 至 3.5 V               |
| 输出电压 ( $V_{DDQ}$ ) | 0.6 V 至 3.3 V <sup>(5)</sup> |
| $I_{EN1}, I_{EN2}$ | 50 $\mu$ A                   |
| 工作结温 ( $T_J$ )     | -40°C 至 +125°C               |

**热阻 (4)**

|                    | $\theta_{JA}$ | $\theta_{JC}$ |
|--------------------|---------------|---------------|
| QFN-16 (3mm x 3mm) | 55            | 13... °C/W    |

**NOTES:**

- 1) 超过这些限定值可能会损坏芯片。
- 2) 最大可允许耗散功率是最大结温  $T_J(\text{MAX})$ 、结温-环境热阻  $\theta_{JA}$  和环境温度  $T_A$  的函数。任何环境温度下允许的最大连续耗散功率由  $P_D(\text{MAX}) = (T_J(\text{MAX}) - T_A) / \theta_{JA}$  计算得出。超过最大允许耗散功率会使芯片温度过高，导致稳压器进入热保护状态。内部热保护电路保护芯片免受永久性损坏。
- 3) 设备不能保证在其工作条件之外运行。
- 4) 上述数据是在 JESD51-7 (4-层板) 上测量所得。
- 5) 对于  $3.3\text{ V} < V_{out} < 5.5\text{ V}$  的应用，需要特殊设计。请参考应用信息章节。 $V_{DDQ}$  仍要求电压  $\leq 3.3\text{ V}$ 。

## 电气特性

测试条件为  $V_{IN} = 12\text{ V}$ ,  $3V3 = 3.3\text{ V}$ ,  $T_J = 25^\circ\text{C}$ ,  $R_{MODE} = 0$ , 除非另有说明。

| 参数                        | 符号             | 测试条件   | 最小值  | 典型值  | 最大值  | 单位               |
|---------------------------|----------------|--|------|------|------|------------------|
| <b>输入电流</b>               |                |  |      |      |      |                  |
| 正常工作模式下为 3V3 供电电流         | $I_{3V3}$      | $V_{EN1} = V_{EN2} = 3\text{ V}$ , 空载                                      |      | 185  |      | $\mu\text{A}$    |
| S3 状态下 3V3 供电电流           | $I_{3V3\_S3}$  | $V_{EN1} = 0\text{ V}$ , $V_{EN2} = 3\text{ V}$ , 空载                       |      | 135  |      | $\mu\text{A}$    |
| EN 关断状态下 3V3 电流           | $I_{3V3\_SDN}$ | $V_{EN1} = V_{EN2} = 0\text{ V}$ , 空载                                      |      |      | 1    | $\mu\text{A}$    |
| <b>MOSFET</b>             |                |  |      |      |      |                  |
| 上管内阻                      | $H_{SRDS-ON}$  | $T_J = 25^\circ\text{C}$   |      | 19.5 |      | $\text{m}\Omega$ |
| 下管内阻                      | $L_{SRDS-ON}$  | $T_J = 25^\circ\text{C}$   |      | 6.6  |      | $\text{m}\Omega$ |
| 开关管漏电流                    | $SW_{LKG}$     | $V_{EN} = 0\text{ V}$ , $V_{SW} = 0\text{ V}$                              |      | 0    | 1    | $\mu\text{A}$    |
| <b>限流引脚</b>               |                |  |      |      |      |                  |
| 下管谷值电流限                   | $I_{LIMIT}$    |  | 12   | 13   | 14   | A                |
| <b>开关频率和最小关断时间</b>        |                |  |      |      |      |                  |
| 开关频率                      | $F_S$          | $R_{MODE} = 0$   |      | 700  |      | $\text{kHz}$     |
|                           |                | $R_{MODE} = 150\text{ k}$  |      | 500  |      | $\text{kHz}$     |
| 恒定导通时间                    | $T_{ON}$       | $V_{in} = 6\text{ V}$ , $V_{OUT} = 3\text{ V}$ , $R_{MODE} = 150\text{ k}$ | 1100 | 1200 | 1300 | ns               |
| 上管最小导通时间 <sup>(6)</sup>   | $T_{ON\_MIN}$  |  |      | 70   |      | ns               |
| 下管最小导通时间 <sup>(6)</sup>   | $T_{OFF\_MIN}$ |  |      | 300  |      | ns               |
| <b>超音频模式</b>              |                |  |      |      |      |                  |
| 超音频模式工作周期                 | $T_{USM}$      | $V_{FB} = 0.62\text{ V}$   |      | 32   |      | $\mu\text{s}$    |
| <b>保护</b>                 |                |  |      |      |      |                  |
| OVP 阈值                    | $V_{OVP}$      |  | 125  | 130  | 135  | $\%V_{REF}$      |
| UVP-1 阈值                  | $V_{UVP-1}$    |  | 70%  | 75%  | 80%  | $V_{REF}$        |
| UVP-1 折返时间 <sup>(6)</sup> | $T_{UVP-1}$    |  |      | 30   |      | $\mu\text{s}$    |
| UVP-2 阈值                  | $V_{UVP-2}$    |  | 45%  | 50%  | 55%  | $V_{REF}$        |
| <b>参考电压和软启动/软关机</b>       |                |  |      |      |      |                  |
| 参考电压                      | $V_{REF}$      |  | 594  | 600  | 606  | mV               |
| 反馈电流                      | $I_{FB}$       | $V_{FB} = 0.62\text{ V}$   |      | 10   | 50   | nA               |
| 软启动时间                     | $T_{SStart}$   | 使能信号发出直至电源正常输出指示信号发出时间   | 1.8  | 2.2  | 2.6  | ms               |
| 软关机时间                     | $T_{SStop}$    |  |      | 2    |      | ms               |

## 电气特性 (续表)

测试条件为  $V_{IN} = 12\text{ V}$ ,  $3V3 = 3.3\text{ V}$ ,  $T_J = 25^\circ\text{C}$ ,  $R_{MODE} = 0$ , 除非另有说明。

| 参数             | 符号             | 测试条件                     | 最小值  | 典型值  | 最大值  | 单位            |
|----------------|----------------|--------------------------|------|------|------|---------------|
| 使能和欠压锁定保护      |                |                          |      |      |      |               |
| En1 上升阈值       | $V_{EN1\_TH}$  |                          | 0.54 | 0.59 | 0.64 | V             |
| En1 迟滞         | $V_{EN1\_HYS}$ |                          |      | 125  |      | mV            |
| En2 上升阈值       | $V_{EN2\_TH}$  |                          | 1.12 | 1.22 | 1.32 | V             |
| En2 迟滞         | $V_{EN2\_HYS}$ |                          |      | 125  |      | mV            |
| 使能输入电流         | $I_{EN1/2}$    | $V_{EN1/2} = 2\text{ V}$ |      |      | 5    | $\mu\text{A}$ |
|                |                | $V_{EN1/2} = 0\text{ V}$ |      |      | 1    |               |
| VCC 欠压锁定保护上升阈值 | $V_{CCVth}$    |                          | 2.9  | 3.0  | 3.1  | V             |
| VCC 欠压锁定保护迟滞阈值 | $V_{CCHYS}$    |                          |      | 220  |      | mV            |
| 输入欠压锁定保护上升阈值   | $V_{INVth}$    |                          |      | 4.2  | 4.4  | V             |
| 输入欠压锁定保护阈值迟滞   | $V_{INHYS}$    |                          |      | 360  |      | mV            |

## 电气特性 (续表)

测试条件为  $V_{IN} = 12\text{ V}$ ,  $T_J = 25^\circ\text{C}$ , 除非另有注明。

| 参数                       | 符号                        | 测试条件  | 最小值   | 典型值         | 最大值   | 单位 |
|--------------------------|---------------------------|---|-------|-------------|-------|----|
| <b>电源正常输出指示</b>          |                           |   |       |             |       |    |
| 当 FB 上升时, PG (正常)        | PG_Rising(GOOD)           | $V_{FB}$ 上升, $V_{FB}$ 的百分比  |       | 95          |       | %  |
| 当 FB 下降时, PG (故障)        | PG_Falling(Fault)         | $V_{FB}$ 下降, $V_{FB}$ 的百分比  |       | 90          |       |    |
| 当 FB 上升时, PG (故障)        | PG_Rising(Fault)          | $V_{FB}$ 上升, $V_{FB}$ 的百分比  |       | 115         |       |    |
| 当 FB 下降时, PG (正常)        | PG_Falling(GOOD)          | $V_{FB}$ 下降, $V_{FB}$ 的百分比  |       | 105         |       |    |
| PG 低至高延迟                 | PG <sub>Td</sub>          |   |       | 3           |       | μs |
| EN 拉低至 PG 拉低延迟           | PG <sub>Td_EN low</sub>   |   |       |             | 1     | μs |
| 电源正常输出指示的灌电流能力           | V <sub>PG</sub>           | 灌电流 4 mA  |       |             | 0.4   | V  |
| <b>VTTREF 输出</b>         |                           |   |       |             |       |    |
| VTTREF 输出电压              | VTTREF                    |   |       | $V_{DDQ}/2$ |       |    |
| 输出电压与 VDDQ 的容差           | VTTREF/ VDDQ              | $I_{VTTREF} < 0.1\text{ mA}$ ,<br>$V < V_{DDQ} < 1.5\text{ V}$                      | 49.2% | 50%         | 50.8% |    |
|                          |                           | $I_{VTTREF} < 10\text{ mA}$ ,<br>$1\text{ V} < V_{DDQ} < 1.5\text{ V}$              | 49%   | 50%         | 51%   |    |
| 电流限值                     | I <sub>LIMIT_VTTREF</sub> |   | 13    | 15          |       | mA |
| <b>VTT LDO</b>           |                           |   |       |             |       |    |
| VTT 输出电压                 | VTT                       |   |       | $V_{DDQ}/2$ |       |    |
| VTT 与 VTTREF 的容差         | VTT-VTTREF                | $-10\text{ mA} < I_{VTT} < 10\text{ mA}$ ,<br>$V_{DDQ} = [1\text{ V}-1.5\text{ V}]$ | -15   |             | 15    | mV |
|                          |                           | $-0.6\text{ A} < I_{VTT} < 0.6\text{ A}$ ,<br>$V_{DDQ} = [1\text{ V}-1.5\text{ V}]$ | -20   |             | 20    | mV |
|                          |                           | $-1\text{ A} < I_{VTT} < 1\text{ A}$ ,<br>$V_{DDQ} = [1\text{ V}-1.5\text{ V}]$     | -25   |             | 25    | mV |
| 拉电流限值                    | I <sub>LIMIT_SOURCE</sub> |   | 1.2   | 1.5         |       | A  |
| 灌电流限值                    | I <sub>LIMIT_SINK</sub>   |   | 1.2   | 1.5         |       | A  |
| <b>OTW#</b>              |                           |   |       |             |       |    |
| 过温警报 <sup>(6)</sup>      | T <sub>OTW#</sub>         |   |       | 130         |       | °C |
| OTW# 迟滞 <sup>(6)</sup>   | T <sub>OTW#_HYS</sub>     |   |       | 25          |       | °C |
| OTW# 灌电流能力               | V <sub>OTW#</sub>         | 灌电流为 4 mA   |       |             | 0.4   | V  |
| OTW# 漏电流                 | I <sub>OTW#</sub>         | $V_{OTW#} = 3.3\text{ V}$   |       |             | 1     | μA |
| OTW# 维持时间 <sup>(6)</sup> | T <sub>OTW#</sub>         |   |       | 32          |       | ms |
| <b>过温保护</b>              |                           |   |       |             |       |    |
| 过温关断保护 <sup>(6)</sup>    | T <sub>SD</sub>           |   |       | 145         |       | °C |
| 热关断迟滞                    | T <sub>SD_HYS</sub>       |   |       | 25          |       | °C |

注:

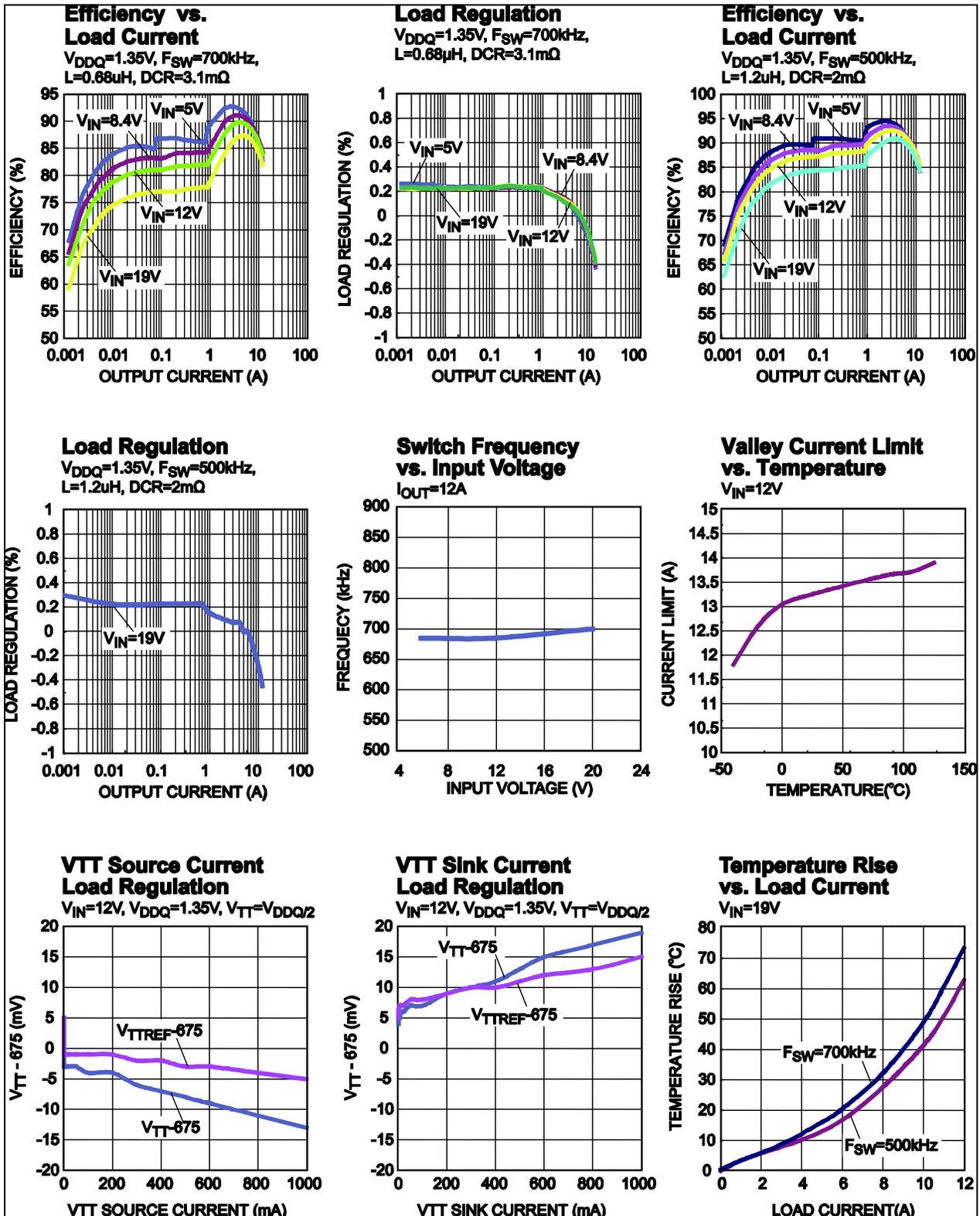
6) 由设计保证。

## 引脚功能

| PIN # | 名称      | 描述  |
|-------|---------|---|
| 1     | VIN     | 供电电压输入引脚。VIN 脚为内部 MOSFET 和调节器供电。NB685 的输入电压范围为 +4.5 V 至 +26 V。需要一个输入电容来解耦输入电源轨。使用宽 PCB 走线和多个过孔连接。   |
| 2     | PGND    | 功率地。使用宽 PCB 走线和多个过孔连接。  |
| 3     | 3V3     | 用于控制和驱动的外部 3V3 VCC 输入引脚。靠近 3V3 和 AGND 引脚放置一个 1 $\mu$ F 的去耦电容。建议使用 RC 滤波器。   |
| 4     | AGND    | 模拟地。AGND 为内部参考地。将 FB 电阻分压器的 GND 引脚连接至 AGND 引脚，以便获得更好的负载调整率。   |
| 5     | VTT     | <b>VTT LDO 输出引脚。</b> 尽可能靠近 VTT 引脚使用一颗最小 22 $\mu$ F 的陶瓷电容，用来去耦。建议使用 X7R 或 X5R 电介质陶瓷电容，因为它们具有稳定的温度特性。   |
| 6     | VDDQ    | <b>VTT LDO 的输入引脚，同时用于 VDDQ 输出电压采样。</b> 使用一根宽的走线 (>100 mil) 将 VDDQ 引脚直接连接至调节器的输出电容。不得浮空 VDDQ 引脚。   |
| 7     | VTTREF  | <b>VTT 参考输出引脚。</b> 尽可能靠近 VTTREF 引脚使用一个最小为 0.22 $\mu$ F 的陶瓷电容用来去耦。建议使用 X7R 或 X5R 电介质陶瓷电容，因为它们具有稳定的温度特性。  |
| 8     | VTT S   | <b>VTT 输出采样引脚。</b> 将 VTT S 引脚直接连接至 VTT 稳压器的输出电容。  |
| 9     | SW      | <b>开关输出引脚。</b> 将 SW 引脚连接至电感和自举电容。当上管导通时，SW 引脚被连接至 VIN 引脚；当下管导通时，SW 引脚被连接至 PGND 引脚。使用宽而短的 PCB 走线连接。SW 是噪声源，因此敏感信号线需远离此结点。  |
| 10    | BST     | <b>自举引脚。</b> 在 SW 和 BST 引脚之间接入一个电容，给内部上管开关驱动供电。   |
| 11    | OTW#    | <b>过温告警状态。</b> OTW# 表示芯片接近过温保护。一旦结温超过过温警报点，OTW# 立即拉低。若未使用此功能，OTW# 引脚可浮空。  |
| 12    | PG      | <b>电源（输出）正常指示引脚。</b> PG 为一个开漏信号。如果输出电压在适当的范围内，PG 置高。  |
| 13    | FB      | <b>反馈引脚。</b> 由输出与 GND 引脚之间的外部电阻分压器（连接至 FB 引脚）来设置输出电压。电阻分压器尽可能靠近 FB 引脚。FB 走线上不得有过孔。  |
| 14    | MODE    | <b>MODE 引脚用来选择开关频率和超音频模式。</b> 需要精度为 1% 的下拉电阻设置。   |
| 15/16 | EN2/EN1 | <b>使能引脚。</b> EN1 和 EN2 为数字输入引脚，用于使能或禁用内部调节器。一旦 EN1 = EN2 = 1，VDDQ 调节器，VTT LDO 和 VTTREF 输出会开启，当 EN1 = 0 且 EN2 = 1 时，除了 VTT LDO 之外，所有的调节器均开启；当 EN2 = 0 或者 EN1 = EN2 = 0 时，所有的调节器均关断。<br>任何时候都不得浮空 EN1。如果未使用 VTT LDO 功能，将 EN1 连接至 GND。 |

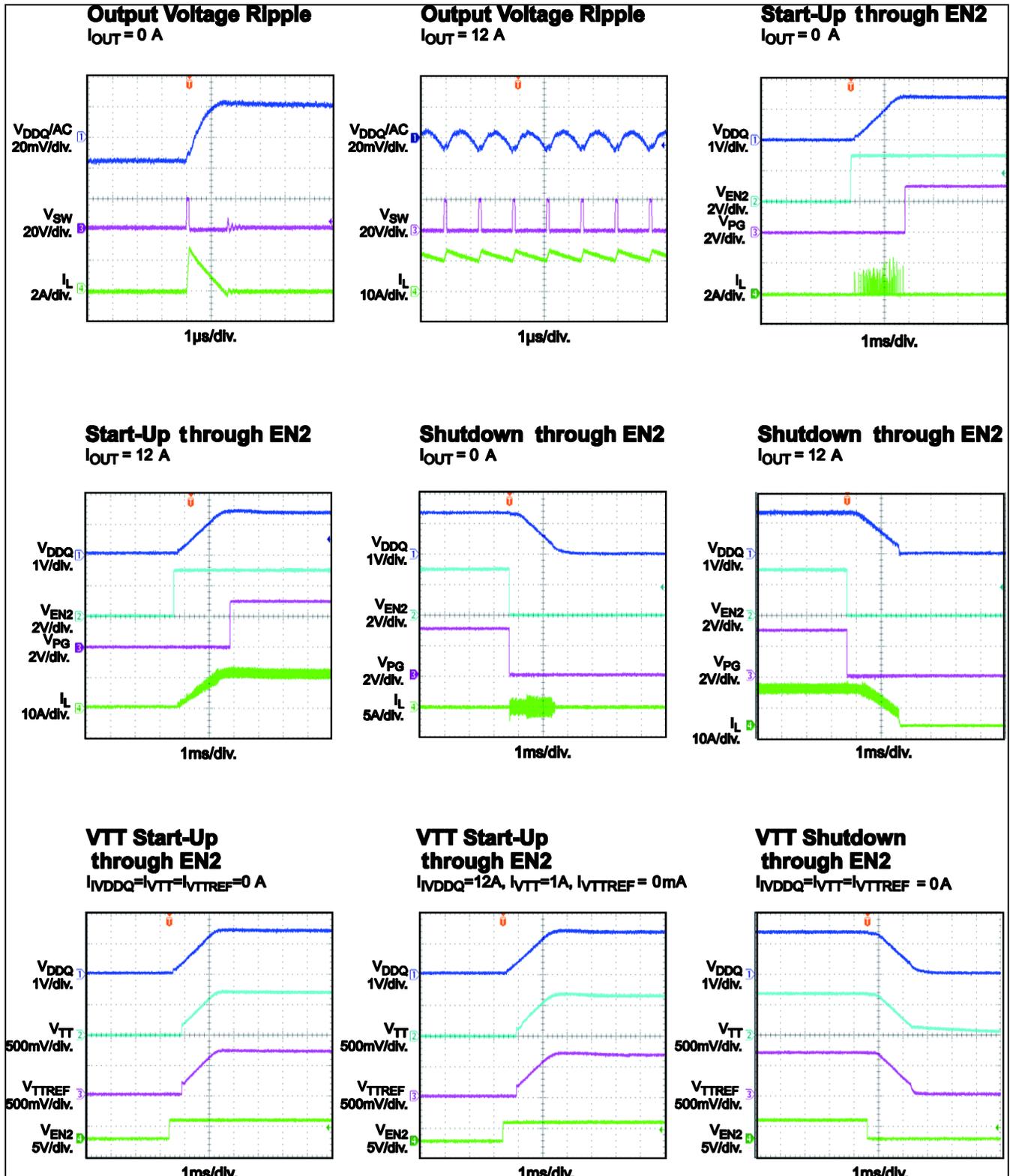
### 典型性能特性

测试条件为  $V_{IN} = 20\text{ V}$ ,  $V_{DDQ} = 1.35\text{ V}$ ,  $L = 0.68\text{ }\mu\text{H}/3.1\text{ m}\Omega$ ,  $F_{SW} = 700\text{ kHz}$ , 除非另有注明。



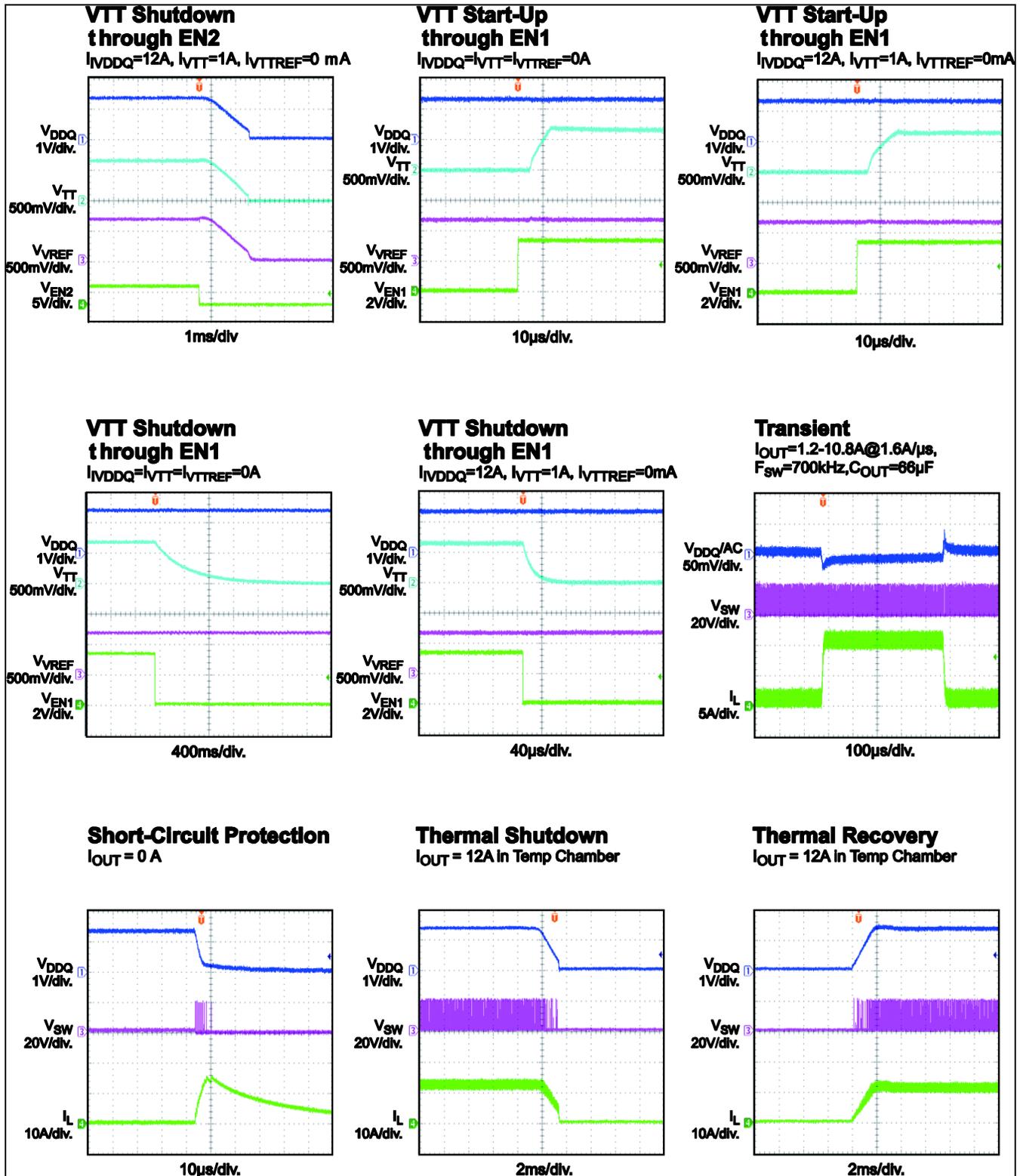
### 典型性能特性

测试条件为  $V_{IN} = 20\text{ V}$ ,  $V_{DDQ} = 1.35\text{ V}$ ,  $L = 0.68\text{ }\mu\text{H}/3.1\text{ m}\Omega$ ,  $F_{SW} = 700\text{ kHz}$ , 除非另有注明。



## 典型性能特性

测试条件为  $V_{IN} = 20\text{ V}$ ,  $V_{DDQ} = 1.35\text{ V}$ ,  $L = 0.68\text{ }\mu\text{H}/3.1\text{ m}\Omega$ ,  $F_{SW} = 700\text{ kHz}$ , 除非另有注明。



## 功能框图

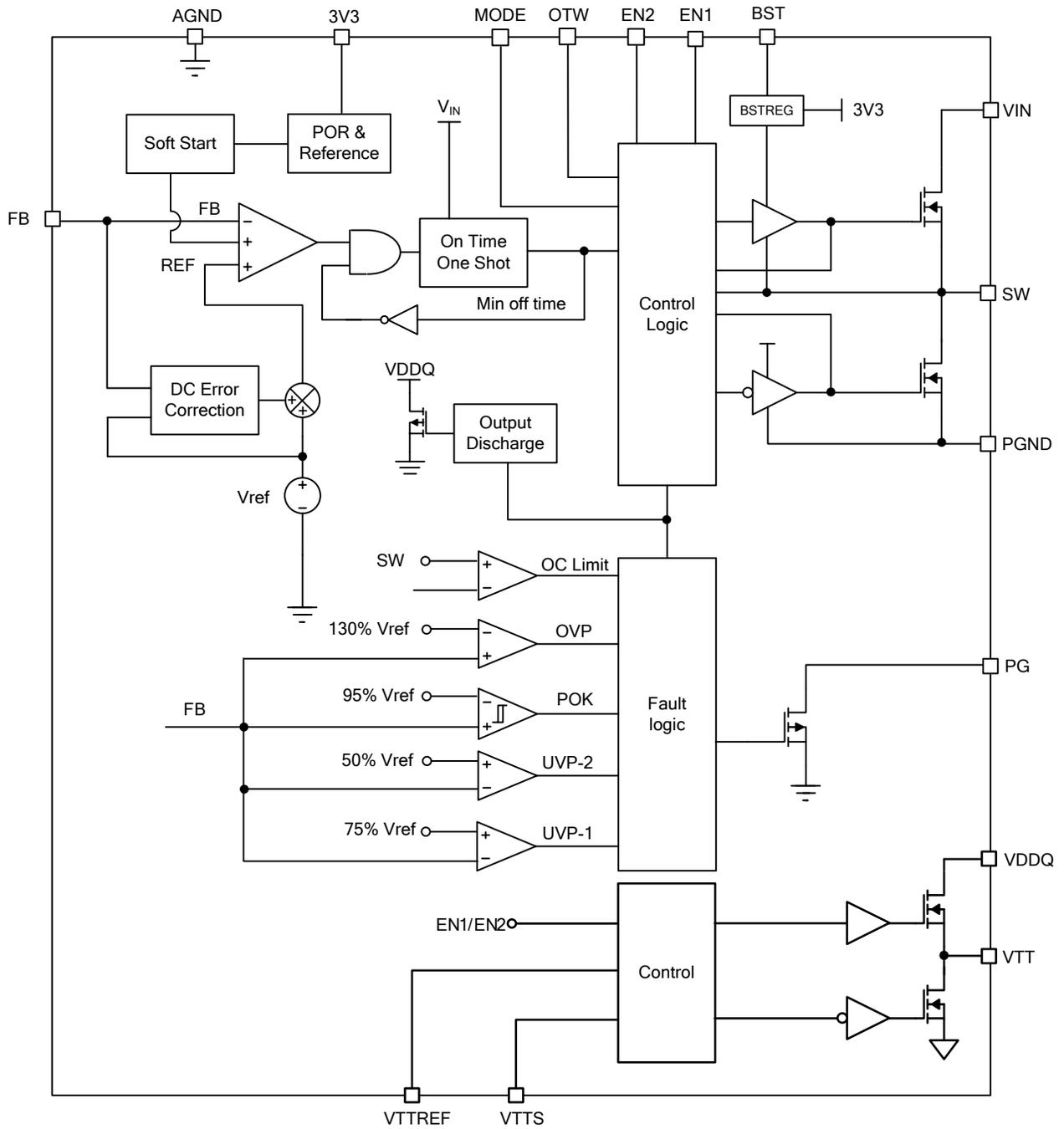


图 1—功能框图

## 工作原理

### PWM 工作模式

NB685 是一款具有 +/-1A LDO 电流的全集成同步整流降压开关变换器。恒定导通时间控制模式 (COT) 提供了快速瞬态响应, 并使环路更易稳定。在每个周期初始时, 一旦反馈电压 ( $V_{FB}$ ) 下降到参考电压 ( $V_{REF}$ ) 以下, 则上管导通。导通时长由输出电压和输入电压共同决定, 以确保在全输入电压范围内开关频率都相当恒定。

当导通时间结束后, 上管关断直至下一个周期开始。当  $V_{FB}$  降至低于  $V_{REF}$ , 则上管再次导通。变换器通过重复此操作来调节输出电压。只有在上管关断时, 集成下管 (LS-FET) 才会导通, 这样可以最大限度地降低导通损耗。如果上下管同时导通, 则会在输入和 GND 之间形成短路。为避免直通, 需在上管关断、下管导通时或者下管关断、上管导通时, 内部生成一个死区时间 (DT)。

即使采用陶瓷输出电容, 带内部斜坡补偿功能的 COT 控制模式也能提供更稳定的工作。此种内部补偿模式可以改善频率抖动, 而且不会影响线性和负载调整率。

### CCM 工作模式

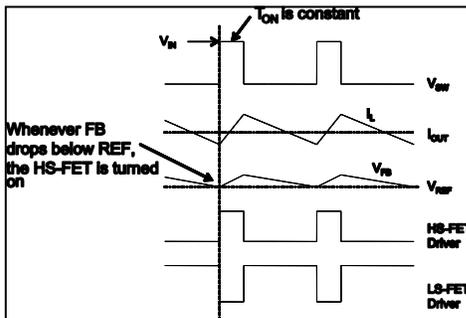


图 2—CCM 工作模式

在输出电流较大且电感电流始终高于零安培时, 进入连续导通模式 (CCM) (见图 2)。

当  $V_{FB}$  低于  $V_{REF}$  时, 上管导通固定的时间, 时间由内部导通定时器决定。当上管关断时, 下管导通直至下一个周期开始。

在 CCM 模式下, 开关频率相当恒定 (PWM 工作模式)。

### DCM 工作模式

当负载下降时, 电感电流也会随之下降。一旦电感电流降至零安培, 芯片会从 CCM 模式切换到断续导通模式 (DCM)。

图 3 显示了 DCM 工作模式。当  $V_{FB}$  低于  $V_{REF}$  时, 上管导通时间由内部导通定时器决定。当上管关断时, 下管导通直至电感电流置零。在 DCM 工作模式下, 当电感电流置零时,  $V_{FB}$  尚未降至  $V_{REF}$ , 下管驱动进入三态 (高阻态)。电流调制器控制下管, 并将电感电流限制在  $-1\text{mA}$  以下。因此, 输出电容可以通过下管缓慢放电至 GND。这样轻载时效率会大大提高。上管在轻载时不会像在重载时那样频繁导通。

在轻载或空载时, 输出电压下降得非常慢, NB685 可以自然降低开关频率以实现轻载下的高效率。

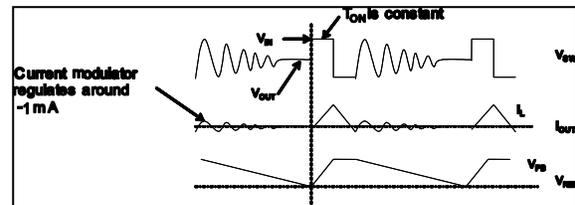


图 3—DCM 工作模式

随着轻载下输出电流的不断增大，电流调制器的调节周期也会越来越短。上管会更加频繁地导通，开关频率也会相应增加。当电流调制时间为零时，输出电流达到临界值。输出电流的临界值可以根据公式（1）确定：

$$I_{OUT\_Critical} = \frac{(V_{IN} - V_{OUT}) \times V_{OUT}}{2 \times L \times F_S \times V_{IN}} \quad (1)$$

当输出电流超过临界值后，芯片进入 PWM 模式。之后，开关频率在输出电流范围内保持相当恒定。

### 抖频和FB斜坡

当  $V_{FB}$  中的纹波噪声传递给上管驱动发生延迟时，无论是 PWM 模式还是跳频模式，均会发生抖频（见图 4 和图 5）。抖频对系统抗扰度的影响与  $V_{FB}$  下斜坡的陡度成正比，因此 DCM 的抖频系数通常大于 CCM。然而， $V_{FB}$  纹波不会直接影响其抗扰度。

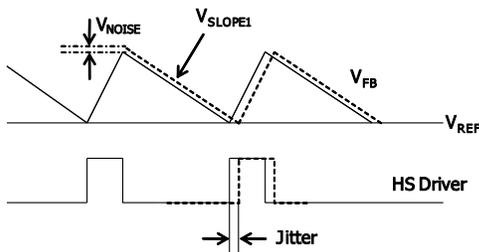


图 4—PWM 模式中的抖频

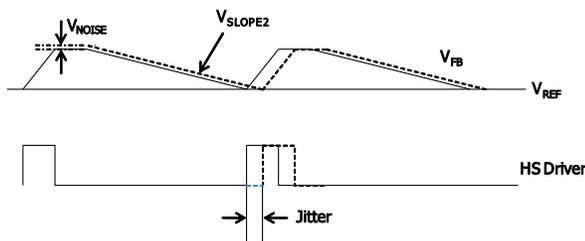


图 5—跳频模式中的抖频

### 工作原理—无外部斜坡补偿功能

如果输出电容的 ESR 不足以充当一个有效的电流采样电阻，则传统的恒定导通时间控制方式本身就不稳定。

通常，陶瓷电容不能直接用作输出电容。

NB685 内置了内部斜坡补偿功能，即使没有输出电容的 ESR 协助，也能确保系统稳定。因此，可以采用纯陶瓷电容解决方案。纯陶瓷电容解决方案显著地减少了输出纹波，降低了总 BOM 成本和占板面积。

图 6 显示了 PWM 模式下无外部斜坡电路的典型输出电路图。无外部补偿功能的设计步骤，请参考应用信息章节。

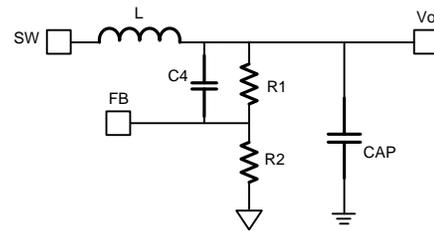


图 6—简化后的输出电路

当输出端使用大电容时（比如 OSCON），需并联接一个大于  $10 \mu\text{F}$  的陶瓷电容，以便最大限度地减小 ESL 的影响。

### 工作原理—带有外部斜坡补偿功能

通常，NB685 支持没有外部斜坡功能的陶瓷输出电容。然而，有时内部斜坡不足以稳定系统，或者抖频太大，会需要外部斜坡补偿。带有外部斜坡补偿功能的设计步骤，请参考应用信息章节。

### VTT 和 VTTREF

NB685 集成了高性能、低压差线性调节器（VTT 和 VTTREF），提供了完整的 DDR3/DDR3L 电源解决方案。VTTREF 具有 10mA 的灌/拉电流能力，可使用集成驱动器输出电压时刻追踪  $V_{DDQ}/2$ ，精度可达  $\pm 1\%$ 。在靠近 VTTREF 引脚端必须放置一颗最小为  $0.22 \mu\text{F}$  的陶瓷电容以保证稳定工作。所有情况下，VTT 都能迅速响应以  $\pm 30\text{mV}$  精度追踪 VTTREF。灌/拉模式下，VTT 调节器的电流能力都可 达 1A。

在靠近VTT引脚必须放置一颗最小为22 μ F的陶瓷电容以稳定工作。VTT应该连接至VTT远端输出电容的正输出节点，作为VTT大电流路径以外的单独馈线。

### 配置 EN 控制

NB685 具有2个使能引脚，用于控制内部调节器的开启/关断状态。VDDQ、VTTREF和VTT在S0状态下（EN1 = EN2 = 高电平）导通。在 S3状态下（EN1 = 低电平，EN2 = 高电平）时，VDDQ 和VTTREF 保持工作，VTT 关断且处于高阻抗状态时(Hi-Z)。 VTT输出浮空，此状态下没有灌/拉电流。在 S4/S5 (EN1 = EN2 = 低电平)时，所有的调节器均保持关闭并通过软关断放电至GND。EN1/EN2 逻辑信息请见表1。

表1—EN1/EN2 控制

| 状态    | EN1 | EN2 | VDDQ | VTTREF | VTT     |
|-------|-----|-----|------|--------|---------|
| S0    | 高电平 | 高电平 | 工作   | 工作     | 工作      |
| S3    | 低电平 | 高电平 | 工作   | 工作     | 关断（高阻态） |
| S4/S5 | 低电平 | 低电平 | 关断   | 关断     | 关断      |
| 其他    | 高电平 | 低电平 | 关断   | 关断     | 关断      |

### 超音频模式 (USM)

在轻载或空载时，超音频模式(USM)可将开关频率控制在音频区间以上。一旦芯片检测到上管和下管均关断（大约 32μs），芯片会强制脉宽调制器使上管导通产生 Ton。此时开关频率超出可闻范围。为了避免 Vout 太高，NB685 随后会缩小 Ton 以控制 Vout。如果将 Ton 值缩小到最小后，芯片的 FB 电压仍然很高，则会启用输出放电功能，用来将 Vout 保持在合理范围内。使用 MODE 引脚来选择 USM 模式。

### MODE 选择

为满足多种应用，NB685采用MODE引脚来选择USM和开关频率。USM和开关频率可以通过MODE引脚的不同电阻来选择。通过设置不同的外部电阻，有4种常用模式可供选择（见表2）；电阻建议使用1%精度。

表 2—模式选择

| 状态 | USM | Fs      | 接地电阻      |
|----|-----|---------|-----------|
| M1 | 否   | 700 KHz | 0         |
| M2 | 是   | 700 KHz | 90 K      |
| M3 | 否   | 500 KHz | 150 K     |
| M4 | 是   | 500 KHz | >230K或者浮空 |

### VDDQ 电源正常输出指示 (PG)

NB685 具有电源正常输出指示 (PG)，用来指示VDDQ调节器的输出电压是否准备就绪。PG也是开漏MOSFET结构。PG应该通过电阻（比如，100k Ω）连接至Vcc或其他电压源。该MOSFET在施加输入电压后被导通，以便PG能在SS动作之前被拉至GND。在FB电压达到REF电压的95%以后，PG被拉高（延迟不到10 μs）。当FB电压降至REF的90%时，PG被拉低。

### 软启动 (SS)

NB685采用软启动 (SS) 功能可以确保稳定的上电输出电压。当EN置高时，内部参考电压逐渐上升；输出电压也会逐渐上升。一旦参考电压达到目标值，软启动结束，此时芯片进入稳态工作。

图7为启动时序图。

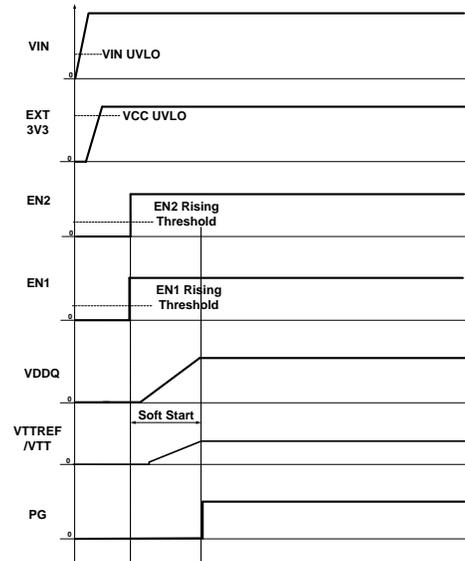


图7—启动上电时序

如果启动时输出预先偏置了一个固定电压，FB节点的采样输出电压之前，上管和下管降不会有开关动作。

### 软关断

NB685 采用软关断功能来确保 VTTREF 和 VTT 精确为 VDDQ 值的一半。当 EN2 置低时，内部参考电压逐渐下降，因此输出电压也随之线性下降。图 8 显示了软关断时序。

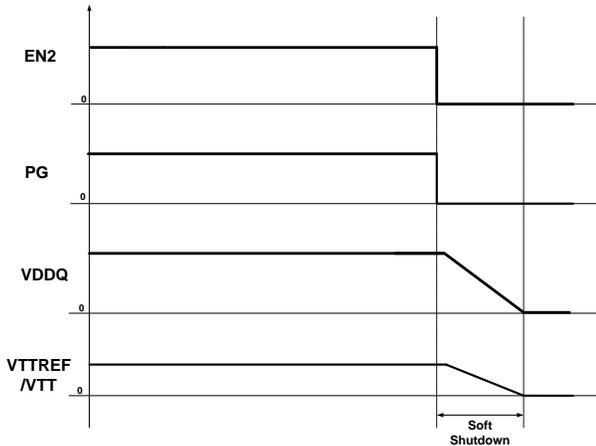


图 8—软关断时序

### VDDQ 过流限值 (OCL)

NB685 具有逐周期过流限制功能。限流电路采用“谷值”电流采样算法。此芯片使用下管导通阻抗作为电流采样元素。如果电流采样信号的量级高于限流阈值，即使此时FB电压低于REF，PWM也不得产生一个新的开关周期。图9显示了详细的谷值电流限值原理。

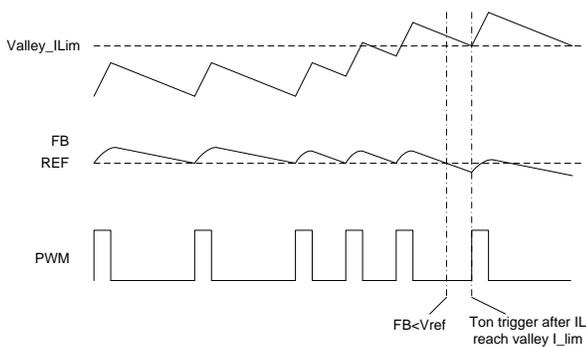


图9—谷值电流限控制

由于是在下管LS-FET导通的状态下进行的对比，所以过流点决定了电感电流的谷值点。过流阈值 ( $I_{OC}$ ) 的最大负载电流可以通过公式 (2) 计算得出：

$$I_{OC} = I_{limit} + \frac{\Delta I_{inductor}}{2} \quad (2)$$

OCL限制了电感电流，但芯片不会被关断。在过流情况下，流入负载的电流会超过流入输出电容的电流；因此，输出电压会下降。最后，通过欠压锁定保护 (UVP) 关断芯片。故障锁定保护可以通过EN置低或VIN的电源重启复位。

### VTT/VTTREF 过流保护 (OCP) 功能

在灌/拉工作模式下，VTT LDO均具有1.5A的内部非锁定固定电流限制，一旦达到限流值，该功能可以通过调节灌/拉MOSFET的栅极来限制电流的大小。同样，VTTREF也具有15 mA的内部非锁定电流限值。

### VDDQ 过/欠压保护

NB685 通过监控电阻分压反馈电压来检测过/欠压电压。当反馈电压高于目标电压的130%时，OVP比较器输出置高，电路锁定，上管关断，下管导通充当一个-2A的电流源。

3.6V的Vout绝对过压阈值可以保护芯片免受损害。一旦Vout达到3.6V，芯片也会关断。下管的行为与电压达到130%时的OVP的行为一致。

当反馈电压降至低于Vref的75%但高于它的50%时，UVP-1比较器输出置高，如果FB电压在此范围内维持了30μs，则芯片锁定（锁定关断上管，导通下管）。下管保持导通直至电感电流置零。在这期间，谷值电流限值有助于控制电感电流。

当反馈电压降至低于Vref的50%时，UVP-2比较器输出置高，在比较器和逻辑延迟后，芯片直接关断（锁定关断上管，导通下管）。下管

保持导通直至电感电流置零。故障锁定保护可以通过EN置低或VIN的电源重启复位。

### 欠压锁定保护

NB685具有2种欠压锁定（UVLO）保护阈值：3V VCC UVLO和4.2V Vin UVLO。此芯片仅在VCC和Vin均超出其UVLO阈值时启动。当VCC电压低于UVLO下降阈值电压（通常为2.8V）或者VIN低于3.9V Vin 下降阈值时，芯片关断。两种欠压锁定均为非锁定保护。

如果应用要求更高的UVLO阈值，则需通过外加2个外部电阻，来使用EN2引脚调节输入电压欠压锁定阈值（请见图10）。

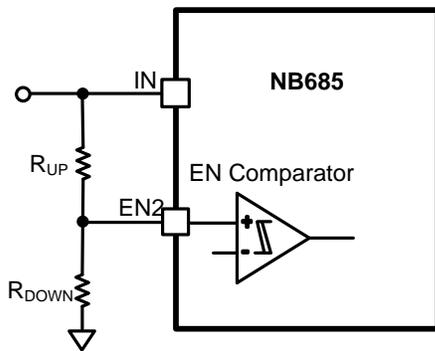


图 10—可调的 UVLO

### 过温警报功能(OTW)

NB685含有一个过温警报功能（OTW）引脚，用来充当预过温指示。当IC检测到芯片接近其过温阈值时，OTW拉低并保持至少10ms。当芯片温度降至温度迟滞以下时，OTW再次被拉高。OTW不会触发任何保护模式。

### 过温关断保护

NB685采用过温关断保护功能。由内部监测芯片结温。如果结温超过上限阈值（通常为145°C），则芯片关断。此保护为非锁定保护。大约有25°C的迟滞。一旦结温降至大约为120°C，芯片启动一个SS。

### 输出放电功能

当控制器通过UVP、OCP、OVP、UVLO和过温关断保护被关断时，NB685将所有的输出包括VDDQ、VTTREF和VTT放电。VDDQ上的放电电阻通常为3Ω。注意，在软关断期间输出放电不会被激活。

## 应用信息

### 设置输出电压—无外部斜坡

当POSCAP或陶瓷电容被设为输出电容时（当 $V_{in}$ 超过6V），NB685不需要斜坡补偿，因此无需外部补偿功能。因此输出电压由反馈电阻 $R1$ 和 $R2$ 设置（见图11）。

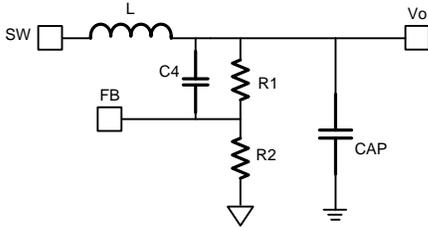


图 11—无需外部斜坡的简化电路

首先，选择  $R2$  值。应合理选择  $R2$  值，因为  $R2$  过小会引起相当大的静态电流损耗，而  $R2$  过大会引起  $FB$  噪音敏感。因此建议 $R2$ 值选用5k $\Omega$ -50k $\Omega$ 之间。当 $V_o$ 较低时，选择相对较大的阻值，当 $V_o$ 较大时，选择相对较小的阻值。考虑到输出纹波， $R1$ 值可以根据公式（3）来估算：

$$R_1 = \frac{V_{OUT} - V_{REF}}{V_{REF}} \cdot R_2 \quad (3)$$

$C4$ 可以作为前馈电容来提高瞬态，其值可以设在0pF-1000pF之间。较大的 $C4$ 值可以获得更好的瞬态，但也会带来更大的噪声。如图12所示，可预留噪声滤波电阻（ $R9$ ）的空间。该数值可使用公式（5）计算。

### 设置输出电压—有外部斜坡

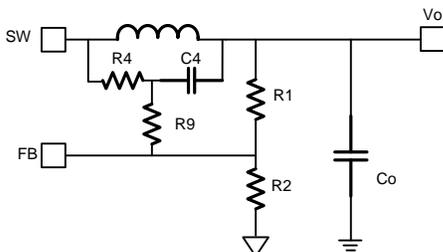


图 12—带外部斜坡功能的简化电路

当输出使用陶瓷电容时（比如使用陶瓷电容且 $V_{in}$ 为5V或更低），系统不够稳定或抖动过多，则应该通过电阻 $R4$ 和电容 $C4$ 在 $FB$ 引脚上添加外部斜坡补偿功能。因为系统已经添加了内部斜坡功能，所以1Mohm( $R4$ ), 220 pF ( $C4$ )的斜坡足以。

除了  $R1$  &  $R2$  分压器，输出电压还会受到 $R4$ 的影响（见图12）。应合理选择  $R2$ 值，因为  $R2$  过小会造成相当大的静态电流损耗，而  $R2$  过大会引起  $FB$  噪音敏感。因此建议 $R2$ 值选用5 k $\Omega$ -50 k $\Omega$ 之间。当 $V_o$ 较低时，选择相对较大的阻值，当 $V_o$ 较大时，选择相对较小的阻值。使用公式（4）可以计算出 $R1$ 的值：

$$R_1 = \frac{1}{\frac{V_{REF}}{V_{OUT} - V_{REF}} - \frac{R_2}{R_4}} \cdot R_2 \quad (4)$$

通常，会根据公式（5）计算出 $R9$ 值来获得一个极点，从而实现更好的噪声抗扰度：

$$R_9 = \frac{1}{2\pi \times C_4 \times 2F_{SW}} \quad (5)$$

建议（但不是必须）设置 $R9$ 选在100 $\Omega$ 至1k $\Omega$ 之间，以减少其对斜坡的影响。

### 输入电容

由于降压变换器的输入电流为不连续电流，因此需要一个输入电容，在保持直流输入电压的同时，还能为降压变换器提供交流电流。建议使用陶瓷电容以获得最好的性能，且电容尽可能靠近 $V_{IN}$ 引脚放置。

建议使用 X5R 和 X7R 陶瓷电介质电容，因为其温度特性相对稳定。

电容的额定纹波电流还必须大于变换器的最大输入纹波电流。输入纹波电流可以根据以下公式（6）和公式（7）来估算：

$$I_{CIN} = I_{OUT} \times \sqrt{\frac{V_{OUT}}{V_{IN}} \times (1 - \frac{V_{OUT}}{V_{IN}})} \quad (6)$$

最差情况为  $V_{IN} = 2V_{OUT}$ ，如公式 (7) 显示：

$$I_{CIN} = \frac{I_{OUT}}{2} \quad (7)$$

为简单起见，请选择额定RMS电流超过最大负载电流一半的输入电容器。

输入电容值决定了变换器的输入电压纹波。如果系统中存在输入电压纹波要求，请选择符合规格的输入电容。

输入电压纹波可以根据公式 (8) 和 (9) 来估算：

$$\Delta V_{IN} = \frac{I_{OUT}}{F_{SW} \times C_{IN}} \times \frac{V_{OUT}}{V_{IN}} \times (1 - \frac{V_{OUT}}{V_{IN}}) \quad (8)$$

最差情况为  $V_{IN} = 2V_{OUT}$ ，其中：

$$\Delta V_{IN} = \frac{1}{4} \times \frac{I_{OUT}}{F_{SW} \times C_{IN}} \quad (9)$$

### 输出电容

输出电容用来维持直流输出电压。推荐使用陶瓷或 POSCAP 电容。输出电压纹波可以根据公式 (10) 来估算：

$$\Delta V_{OUT} = \frac{V_{OUT}}{F_{SW} \times L} \times (1 - \frac{V_{OUT}}{V_{IN}}) \times (R_{ESR} + \frac{1}{8 \times F_{SW} \times C_{OUT}}) \quad (10)$$

如果使用陶瓷电容，开关频率处的阻抗主要由电容值决定。输出电压纹波主要由电容引起。为简单起见，输出电压纹波可以使用公式 (11) 估算：

$$\Delta V_{OUT} = \frac{V_{OUT}}{8 \times F_{SW}^2 \times L \times C_{OUT}} \times (1 - \frac{V_{OUT}}{V_{IN}}) \quad (11)$$

由 ESR 引起的输出电压纹波非常小。因此，需要外部斜坡来稳定系统。可以由电阻R4和电容C4生成外部斜坡。

使用POSCAP电容时，开关频率处的阻抗主要是 ESR。由 ESR 产生的斜坡电压决定了输出纹波值。输出纹波可以根据以下公式 (12) 来估算：

$$\Delta V_{OUT} = \frac{V_{OUT}}{F_{SW} \times L} \times (1 - \frac{V_{OUT}}{V_{IN}}) \times R_{ESR} \quad (12)$$

设计应用中应考虑到最大输出电容限值。NB685 软启动时间大约为1.6ms。如果输出电容值过高，那么软启动时间内的输出电压则不能达到设计值，因此也无法调节。最大输出电容值 ( $C_{O\_max}$ ) 可以根据公式 (13) 估算出来：

$$C_{O\_MAX} = (I_{LIM\_AVG} - I_{OUT}) \times T_{SS} / V_{OUT} \quad (13)$$

其中  $I_{LIM\_AVG}$  为软启动期间的平均启动电流（等于电流限值）， $T_{SS}$  为软启动时间。

### 电感

电感在开关输入电压的驱动下向负载提供恒定的电流。电感值较大会降低纹波电流，从而降低输出电压纹波。然而，较大的电感值也具有更大的物理尺寸、更高的串联电阻和/或更低的饱和电流。为得到较好的电感值，可以选择将电感峰-峰值纹波电流设计为最大输出电流的30-50%且电感峰值电流小于最大开关电流限值。电感值可以根据以下公式 (14) 计算得出：

$$L = \frac{V_{OUT}}{F_{SW} \times \Delta I_L} \times (1 - \frac{V_{OUT}}{V_{IN}}) \quad (14)$$

其中  $\Delta I_L$  为峰-峰电感纹波电流。

选择一款在最大电感峰值电流（包括短路电流）下不会饱和的电感，所以建议选用  $I_{sat} > 13A$ 。

## 推荐PCB布局

### PCB 布局指南

高效的 PCB 布局对于 IC 最佳性能至关重要。为获得最佳效果，请参考图 13 并遵循以下指南：更多信息，请参考 **AN087**。

1. VDDQ走线宽度应 $>100$  mil，以避免VTTLDO的输入上的电压下降。
2. 确保大电流走线（GND, IN, 和 SW）短而直且宽，应非常靠近设备。芯片下方应优先放置宽PGND走线。
3. 将输入陶瓷电容尽可能靠近IN和GND引脚，与芯片放在同一层上。
4. 确保去耦电容尽可能靠近VCC和AGND。开关节点（SW）保持短的走线，且远离反馈网络。

5. 将外部反馈电阻紧挨着 FB 放置。确保FB走线上没有过孔。
6. 保持BST电压走线（BST、C3和SW）尽可能短。
7. 保持IN和GND焊盘与大面积的铜箔连接，以实现更好的散热性能。靠近IN和GND焊盘添加几个10 mil 钻孔/18 mil 铺铜宽度的过孔。
8. 为获得更好的散热性能，强烈建议4层板。

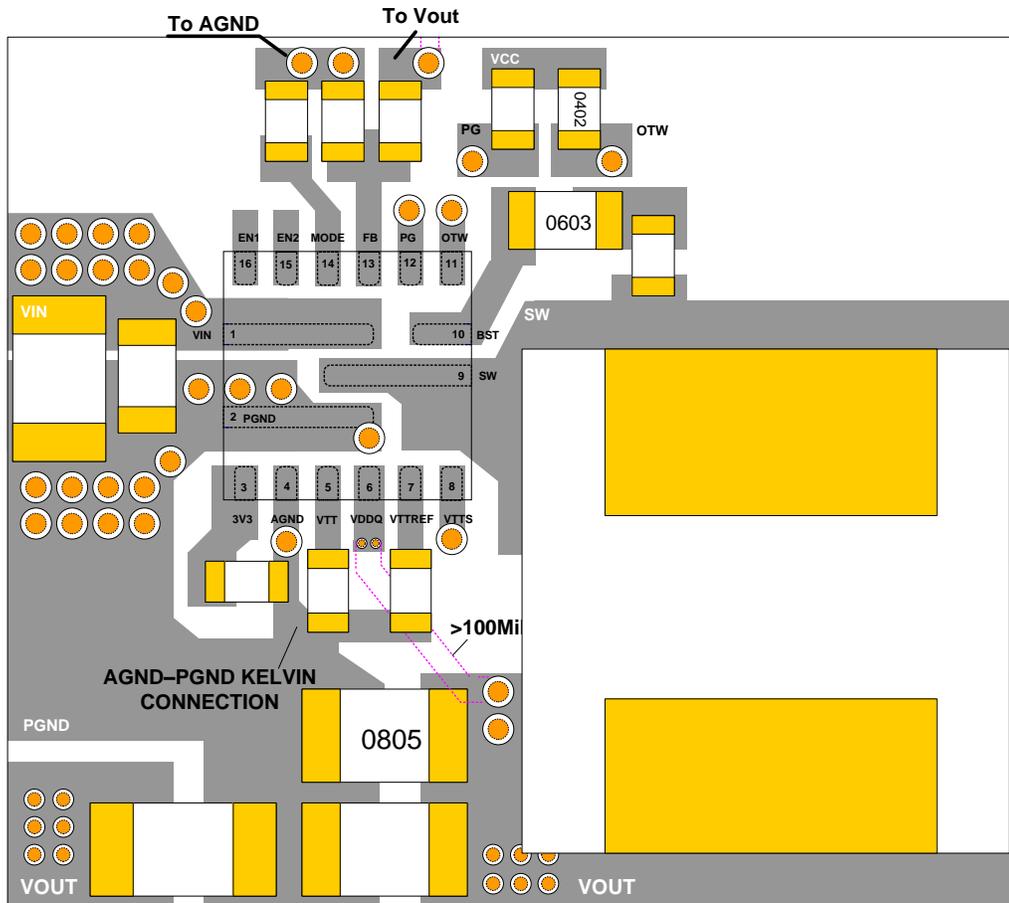


图13—推荐PCB布局

### 推荐设计实例

对于电流需求大于10A的应用，建议使用500Khz的开关频率，以实现更好的热性能和效率（见表3.1）。另外，700kHz开关频率工作可以使系统尺寸更紧凑，瞬态更快。

外部3.3V电源与3V3引脚之间使用了一个电阻来充当3.3V电源的纹波噪声滤波器。根据噪声等级，建议电阻值选在0Ω-5.1Ω之间。如果3.3V电压上升时间>100μs，0402大小的电阻也可以满足。否则，应需要更大尺寸的电阻（比如：0603/0805）。

对于输入电压为5V或更低的应用，建议采用具有合适外部斜坡的原理图，如图15所示。

NB685还支持外部元器件极少的非-DDR应用（请见图16）。

表3.1和3.2为采用陶瓷电容应用的设计实例。

表3.1—500 kHz Fsw 设计实例

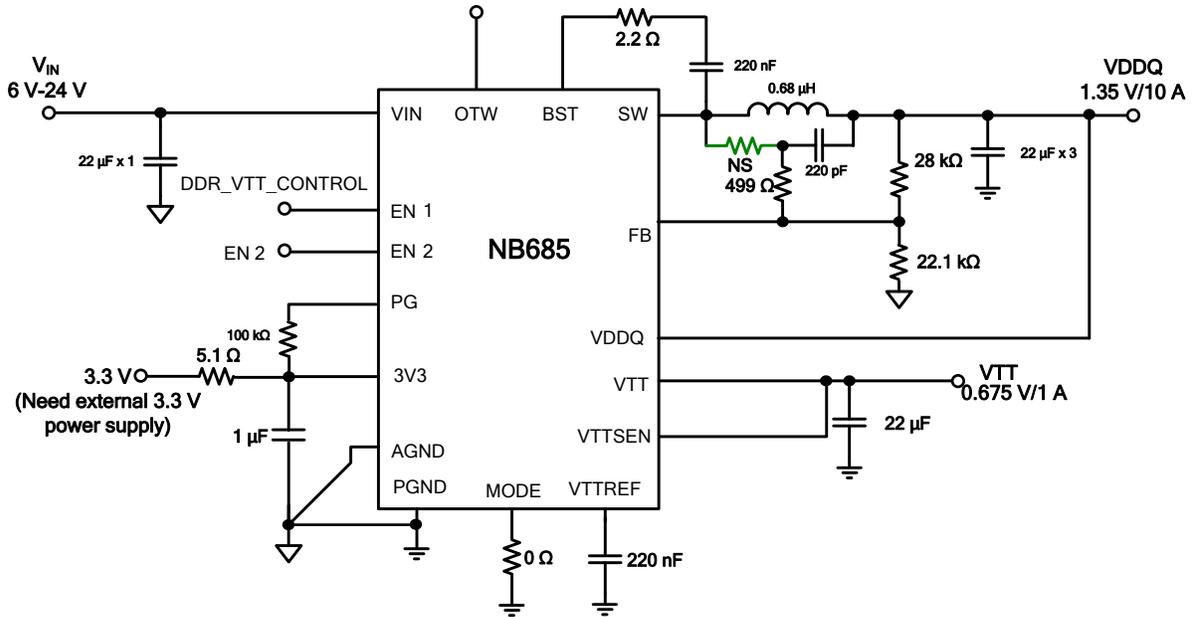
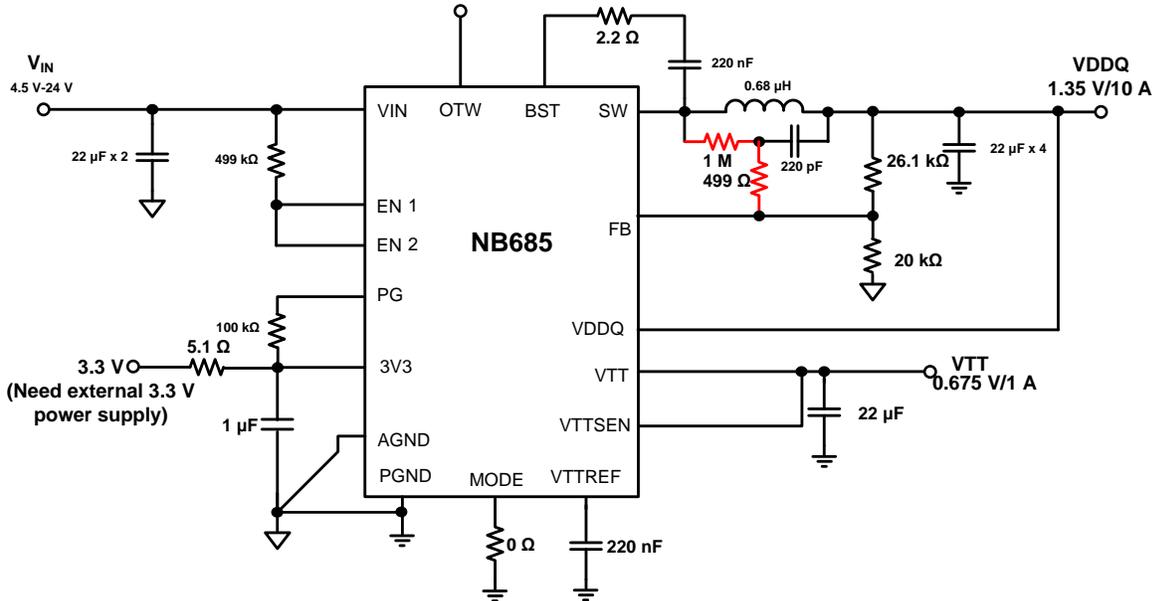
| V <sub>OUT</sub> (V) | C <sub>out</sub> (F) | L (μH) | R <sub>Mode</sub> (Ω) | C4 (pF) | R1 (kΩ) | R2 (kΩ) |
|----------------------|----------------------|--------|-----------------------|---------|---------|---------|
| 1.0                  | 22 μ x 4             | 1.0    | 150 K                 | 220     | 13.3    | 20      |
| 1.2                  | 22 μ x 4             | 1.0    | 150 K                 | 220     | 20      | 20      |
| 1.35                 | 22 μ x 4             | 1.0    | 150 K                 | 220     | 28      | 22.1    |
| 1.5                  | 22 μ x 4             | 1.2    | 150 K                 | 220     | 30.1    | 20      |
| 1.8                  | 22 μ x 4             | 1.5    | 150 K                 | 220     | 40.2    | 20      |

表3.2—700 KHz Fsw 设计示例

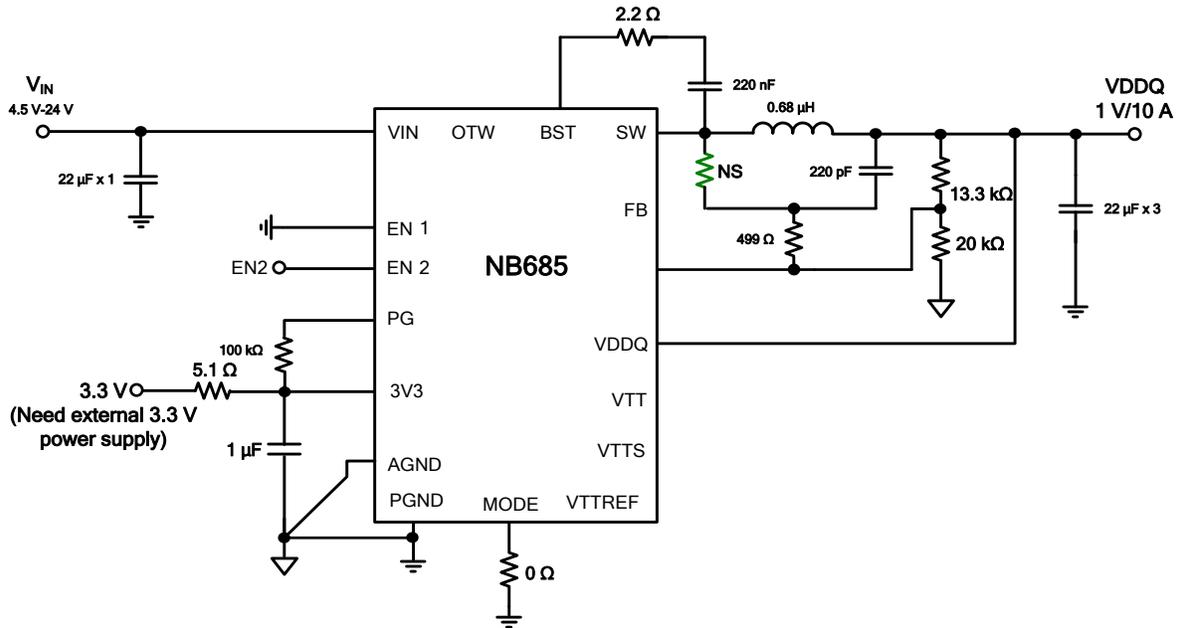
| V <sub>OUT</sub> (V) | C <sub>out</sub> (F) | L (μH) | R <sub>Mode</sub> (Ω) | C4 (pF) | R1 (kΩ) | R2 (kΩ) |
|----------------------|----------------------|--------|-----------------------|---------|---------|---------|
| 1                    | 22 μ x 3             | 0.68   | 0                     | 220     | 13.3    | 20      |
| 1.2                  | 22 μ x 3             | 0.68   | 0                     | 220     | 20      | 20      |
| 1.35                 | 22 μ x 3             | 0.68   | 0                     | 220     | 28      | 22.1    |
| 1.5                  | 22 μ x 3             | 0.68   | 0                     | 220     | 30.1    | 20      |
| 1.8                  | 22 μ x 3             | 0.68   | 0                     | 220     | 40.2    | 20      |

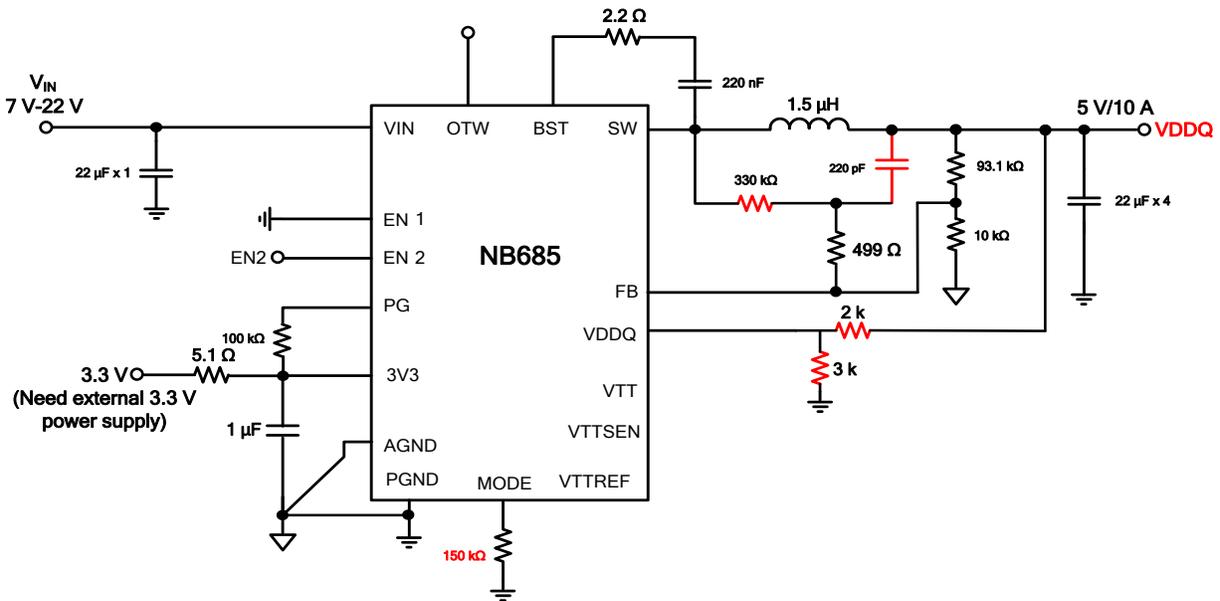
### 其他更高Vout应用设计实例

NB685支持Vout在3.3V至5.5V范围内的应用设计。图17显示了带有合适外部设置的5V输出SCH应用设计实例。请注意标红色的元件，并且此应用不允许使用USM。

**典型应用**
 **$V_{in} > 6V$  的 DDR 应用**

 图 14—典型 DDR 应用电路,  $V_{IN} = 6\text{ V-}24\text{ V}$ ,  $V_{OUT} = 1.35\text{ V}$ ,  $I_{OUT} = 10\text{ A}$ , 带有 VTT  $F_s = 700\text{ KHz}$ 
**覆盖 5V 输入的 DDR 应用**

 图 15—典型 DDR 应用电路,  $V_{IN} = 4.5\text{ V-}24\text{ V}$ ,  $V_{OUT} = 1.35\text{ V}$ ,  $I_{OUT} = 10\text{ A}$ , 带有 VTT  $F_s = 700\text{ KHz}$

## 非 DDR 应用


 图 16—正常单路 Buck 降压电路， $V_{IN} = 4.5\text{ V}-24\text{ V}$ ， $V_{OUT} = 1\text{ V}$ ， $I_{OUT} = 10\text{ A}$ ，不带 VTT  $F_s = 700\text{ KHz}$ 。

 特殊应用— $3.3\text{ V} < V_{OUT} < 5.5\text{ V}$ 


NOTE1: 如果采用此种 SCH，超音频模式无效。

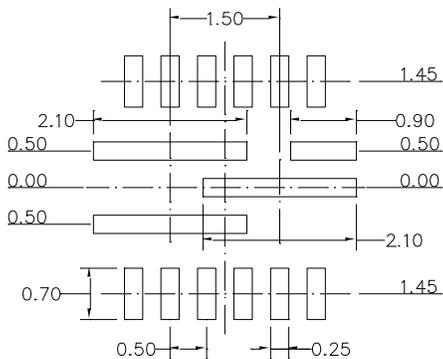
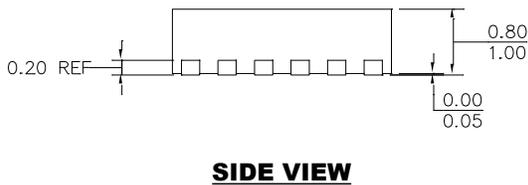
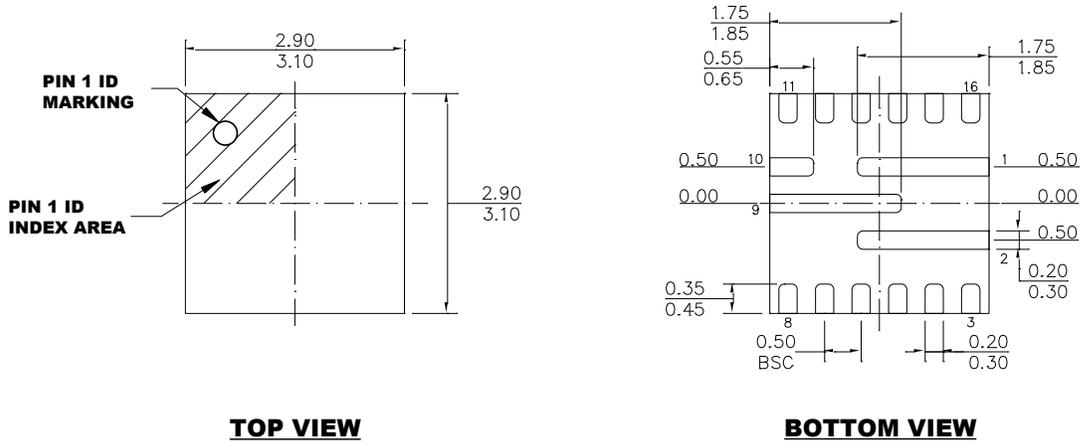
NOTE 2: 此应用中的最大负载为 10 A。Fs 是在配置在 500 kHz 模式，但实际上是工作频率是 700 kHz。

NOTE 3: 建议使用外部电阻设置，避免 VDDQ 电压超过 3.3 V。

 图 17—特殊应用电路， $V_{IN} = 7\text{ V}-22\text{ V}$ ， $V_{OUT} = 5\text{ V}$ ， $I_{OUT} = 10\text{ A}$ ， $F_s = 700\text{ KHz}$ 。

## 封装信息

## QFN-16 (3mm x 3mm)


**RECOMMENDED LAND PATTERN**
**NOTE:**

- 1) ALL DIMENSIONS ARE IN MILLIMETERS.
- 2) EXPOSED PADDLE SIZE DOES NOT INCLUDE MOLD FLASH.
- 3) LEAD COPLANARITY SHALL BE 0.10 MILLIMETERS MAX.
- 4) JEDEC REFERENCE IS MO-220.
- 5) DRAWING IS NOT TO SCALE.

注：本文中信息如有变更，不另通知。用户应确保其对 MPS 产品的具体应用不侵犯他人知识产权。MPS 不在此类应用承担任何法律责任。